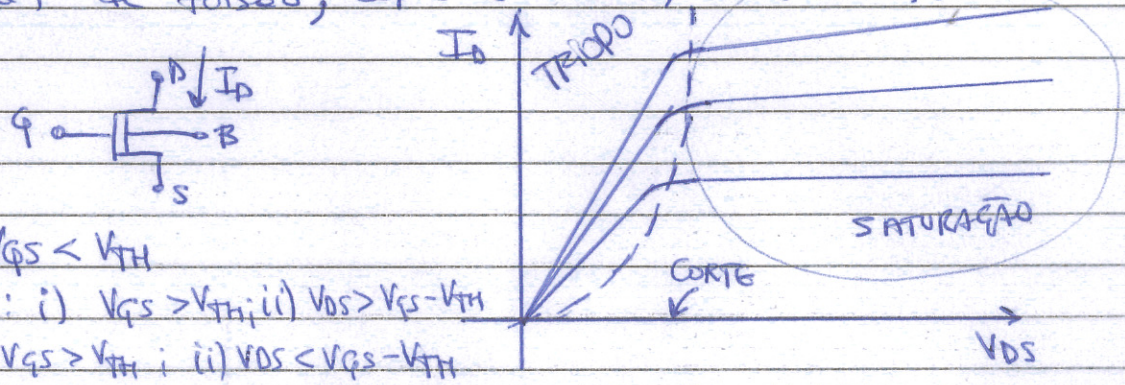
Prezado (a) Candidato (a), preencher somente o número sorteado e o número da folha. BOA PROVA!

Concurso MC-191 Eletrônica		Nº 2	Folha: 1

Questão 1

O MOSFET pode operar em três modos de operação tradicionais: Corte, Saturação, e Triodo (Região Linear). Os modos de corte e triodo são utilizados principalmente para aplicações digitais e chaveamento. A saturação é popular pelo uso em amplificação de sinais, mas também pode ser utilizado em outras aplicações como referências de tensão, cópia de corrente, entre outros.



CORTE: $V_{GS} < V_{TH}$

SATURAÇÃO: i) $V_{GS} > V_{TH}$; ii) $V_{DS} > V_{GS} - V_{TH}$

TRIODO: i) $V_{GS} > V_{TH}$; ii) $V_{DS} < V_{GS} - V_{TH}$

FIGURA 1.1. REGIÕES DE OPERAÇÃO DO MOSFET

A) OPERAÇÃO EM CORTE E TRIODO

A1) APLICAÇÕES DIGITAIS

Como mencionado, corte e triodo são duas regiões de operação diferentes, mas usam-se simultaneamente em aplicações digitais.

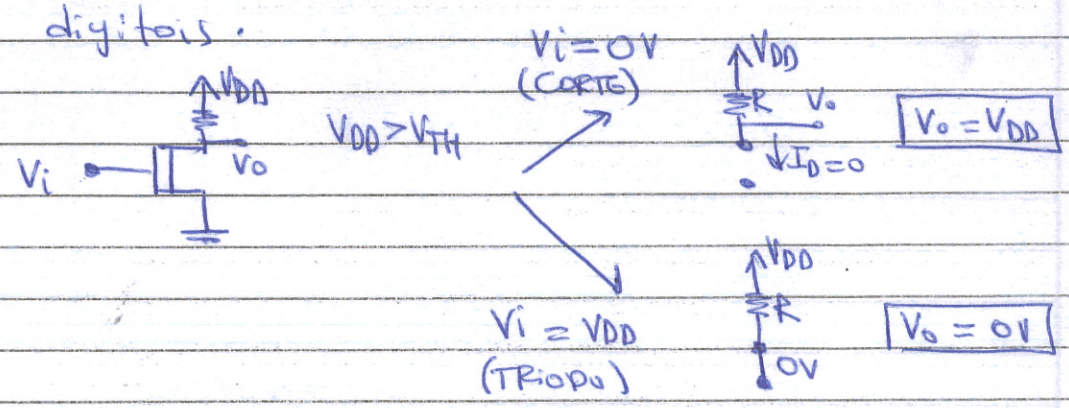


Figura 1.2. INVERSOR CMOS COM TRANSISTOR NMOS.

Para entender de forma básica o funcionamento, podemos considerar o circuito de fig 1.2, o qual é um inversor CMOS implementado com transistor NMOS. Também para entender o que acontece nesse caso, e fig 1.3

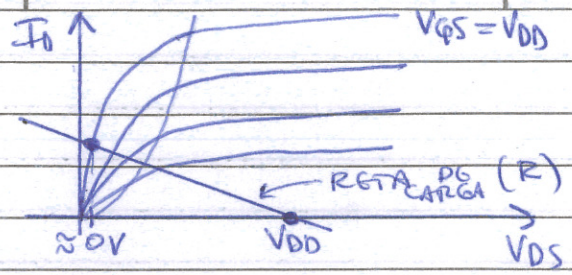


Fig 1.3 RETA DE CARGA DO INV. NMOS.

mostra a reta de carga do circuito. Note-se que quando aplicada $V_{GS} = V_{DD}$, a reta de carga corta próximo dos 0V.

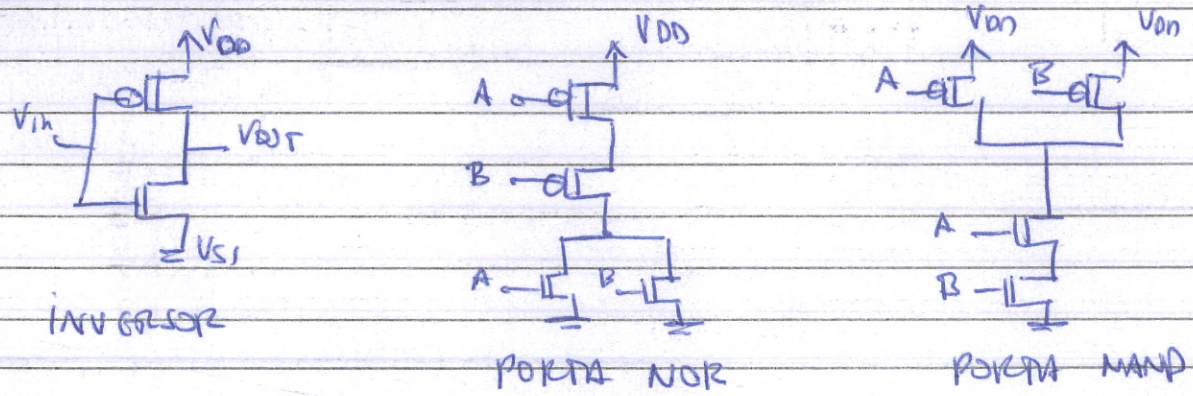


Fig 1.4 EXEMPLOS DE PORTAS LÓGICAS CMOS.

Essa ideia pode ser estendida, e assim diversas portas lógicas podem ser implementadas, como é mostrado na figura 1.4.

A.2) CHAVEAMENTO

De mesma forma explicada anteriormente na figura 1.2, o transistor funcionou como chave aberta ou fechada, e dessa forma pode ser utilizado em diversos circuitos como: Capacitores chaveados, controle ON/OFF, operações de amostragem (Sample and hold), entre outros.

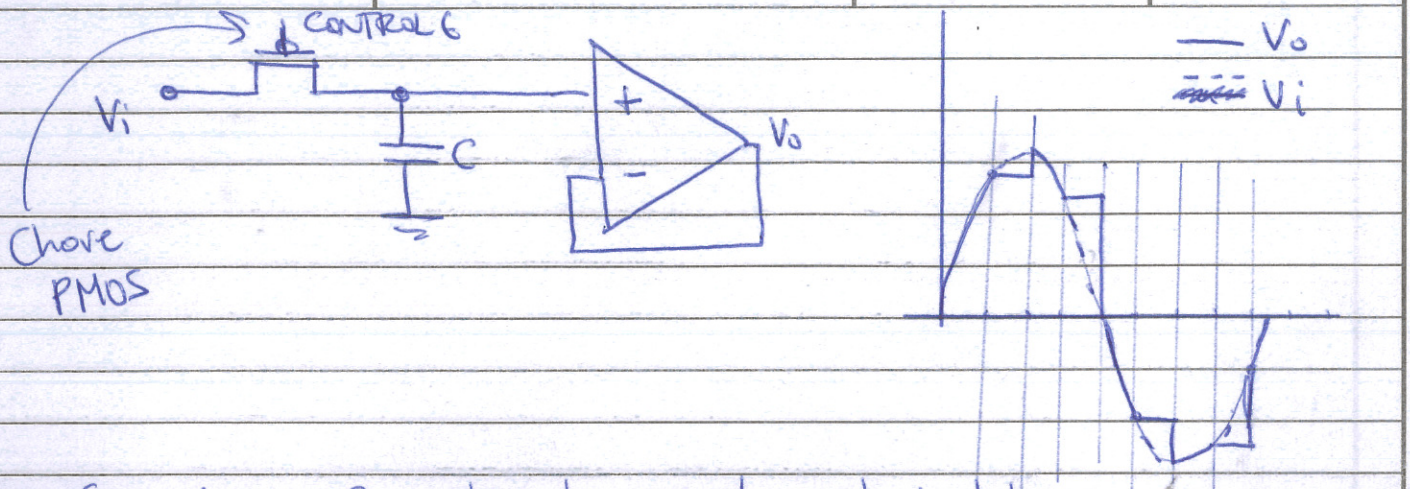
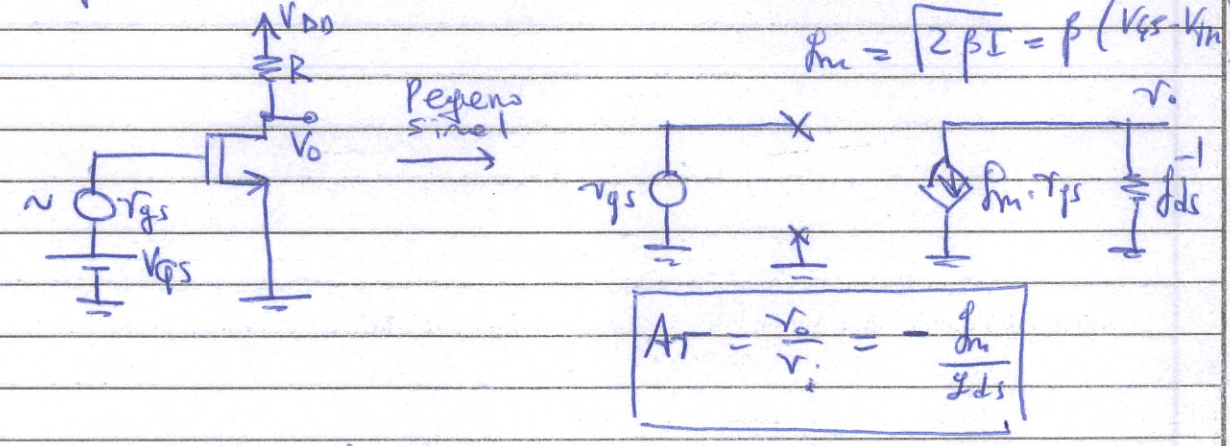


fig. 1.5 Exemplo de sample and hold em conversor analógico / digitais.

B) OPERAÇÃO EM SATURAÇÃO

O MOSFET em saturação é popular pelo seu ganho em amplificação de sinais. A figura 1.5 mostra

$$g_m = \sqrt{2\beta I} = \beta(V_{GS} - V_{TH})$$



$$A_T = \frac{v_o}{v_i} = -\frac{g_m}{g_{ds}}$$

fig 1.5. Amplificador básico NMOS, operado em região de saturação.

Um amplificador de tensão básico com NMOS e seu respectivo circuito de pequenos sinais.

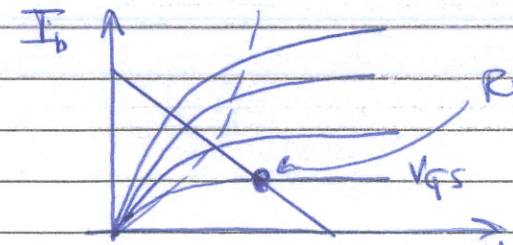
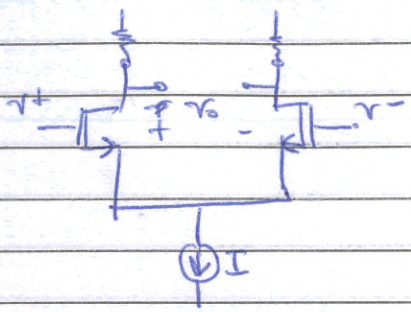


fig 1.6. ROTA DE CARGA DO VDS Amplificador

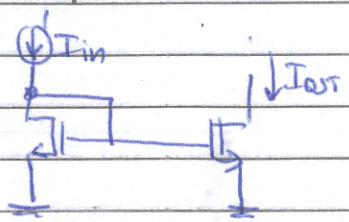
Prezado (a) Candidato (a), preencher somente o número sorteado e o número da folha. BOA PROVA!

Concurso MC-191 Eletrônica		Nº 2	Folha: 4



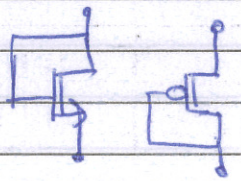
PAR DIFERENCIAL

(a)



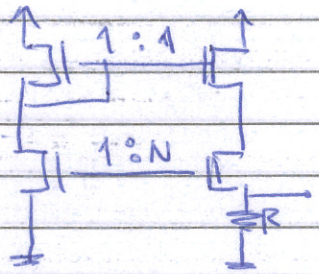
ESPELHO DE CORRENTE

(b)



DIODOS CMOS

(c)



GERADOR DE TENSÃO PROPORCIONAL COM TEMPERATURA (PTAT

(d)

fig 1.7. EXEMPLOS DE BLOCOS FUNCIONAIS QUE OPERAM EM SATURAÇÃO.

Observe-se na fig 1.6, que no caso do circuito da fig 1.5, a reta de carga corta na região de saturação. Isso deve ser projetado e calculado para cada amplificador.

A modo de exemplo, na figura 1.7 são apresentados outros circuitos clássicos que funcionam em saturação, tais como: pares diferenciais, espelhos de corrente, diodos CMOS, geradores de tensão PTAT, entre outros.

Prezado (a) Candidato (a), preencher somente o número sorteado e o número da folha. BOA PROVA!

Concurso MC-191 Eletrônica		Nº 2	Folha: 5

QUESTÃO (2)

Ao longo dos anos foram desenvolvidos diversos modelos para prever o funcionamento do transistor MOSFET. Desde modelos de poucos parâmetros, como o SPICE NÍVEL 1, até outros muito mais complexos como SPICE NÍVEL 49, EKV, ACM, entre muitos outros. Evidentemente, quanto mais parâmetros são utilizados para representar o transistor, mais detalhes do seu funcionamento podemos alcançar.

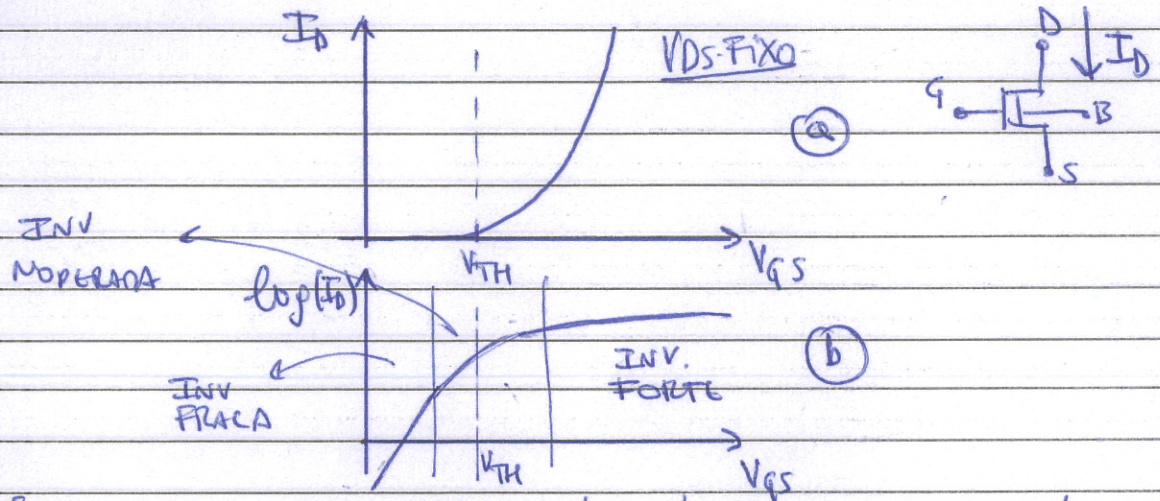


figura 2.1: Corrente DC do transistor MOSFET como função de tensão V_{GS}.

Os modelos tradicionais do transistor ~~podem~~ são usualmente utilizados em inversão forte, que são os clássicos ministrados nos cursos ~~todos~~ de eletrônica de graduação. Como pode ser visto na figura 2.1, os modelos quadráticos, de inversão forte, somente contemplam o transistor nesse região. Mais como detalharemos aqui existem modelos que podem representar o transistor em inversão moderada e fraca (ver fig. 2.1 (b))

Modelo SPICE NÍVEL 1

O modelo SPICE Nível 1 é um dos mais básicos

encontrados, e por esta razão, também limitado.

CORTE	SATURAÇÃO	TRIODO
Se $V_{GS} < V_{TH}$	Se $V_{GS} > V_{TH}$	Se $V_{GS} > V_{TH}$
$\boxed{I_D = 0}$	e $V_{DS} > V_{GS} - V_{TH}$	e $V_{DS} < V_{GS} - V_{TH}$
	$\boxed{I_D = \frac{K_n}{2}\frac{W}{L}\cdot(V_{GS}-V_{TH})^2}$	$I_D = K_n\frac{W}{L}\left(V_{GS}-V_{TH}-\frac{V_{DS}}{2}\right)$

figura 2.2. Equações DC do Modelo SPICE NÍVEL 1.

No fig. 2.2 são mostradas as eq. do modelo SPICE NÍV. 1, Observe-se, que a corrente do transistor é quadrática, somente representado ele em inv. forte. (ver fig 2.1). Este modelo, se bem ele é útil para algumas aplicações, ele ignora o <u>efeito de corpo</u> e <u>modulação de canal</u>.

MODELO SPICE NÍVEL 3 + Modulação de Canal

O modelo SPICE N.3 + Modulação & ele consegue prever o transistor em inversão forte com muito boa precisão, porém ele deixa de ser adequado em inversão moderada ou fraca.

CORTE	SATURAÇÃO	TRIODO
Se $V_{GS} < V_{TH}$	Se $V_{GS} > V_{TH}$	Se $V_{GS} > V_{TH}$
$I_D = 0$	e $V_{DS} > V_{GS} - V_{TH}$	e $V_{DS} < V_{GS} - V_{TH}$
	$I_D = \frac{K_n}{2\alpha}\frac{W}{L}\cdot(V_{GS}-V_T)^2\cdot(1+\lambda V_{DS})$	$I_D = \frac{K_n}{\alpha}\frac{W}{L}\left(V_{GS}-V_{TH}-\frac{V_{DS}\alpha}{2}\right)$
	onde $\alpha = 1 + \frac{\gamma}{2\sqrt{2\phi_F + V_{SB}}}$	
	$V_T = V_{TO} + \gamma\left(\sqrt{2\phi_F + V_{SB}} - \sqrt{2\phi_F}\right)$	

figura 2.3. Equações DC do modelo SPICE NÍVEL 3 + Mod. Canal.

Além dos parâmetros geométricos, W e L, largura e

Comprimento respectivamente, o modelo NIVEL 3 mostrado na figura 2.3, inclui α, que modela o efeito de corpo *1, e o parâmetro λ modela a modulação de canal.

MODELOS MAIS AVANÇADOS EKV e ACM

Com a tendência de ultra-baixo consumo foram desenvolvidos alguns modelos que consigam prever o funcionamento do transistor em todos os níveis de inversão apresentados na fig 2.1.

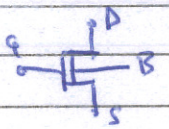
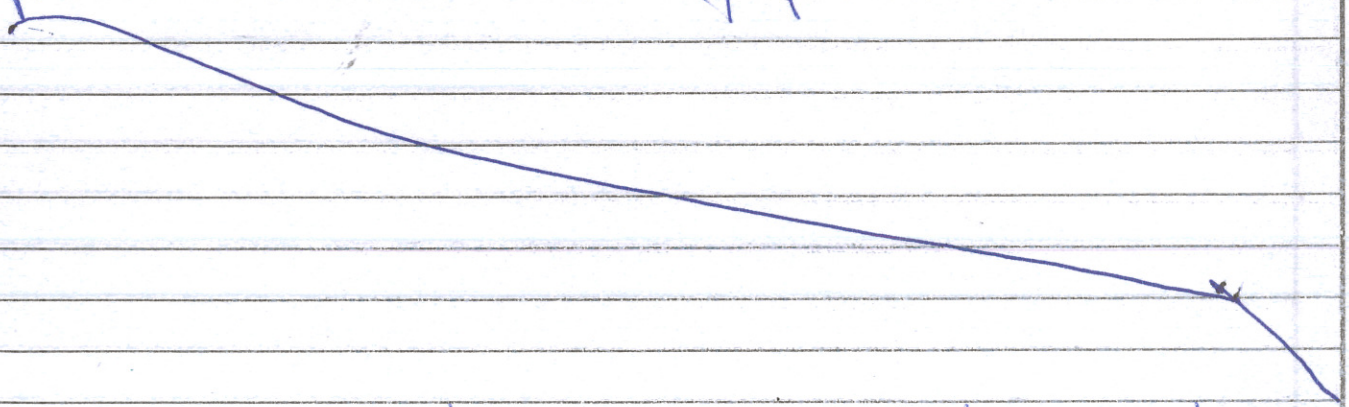
INV FRACA (MOD. FÍSICO)	INV. MODERADA (MOD. MATEMÁTICO)	INV. FORTE (MOD FÍSICO)
$I_D = I_{SPEC} \cdot exp\left(\frac{V_P - V_S}{V_T}\right)$	$I_D = I_{SPEC} \cdot \log^2\left(1 + exp\left(\frac{V_P - V_S}{2}\right)\right)$	$I_D = \frac{I_{SPEC}}{4} \cdot (V_P - V_S)^2$
$V_P = \frac{V_{GB} - V_{TO}}{n}$	↑ VÁLIDA EM TODOS OS NÍVEIS DE INVERSÃO	

Fig 2.4. Modelo EKV.

Para simplificar, na figura 2.4 somente são mostrados os corrente DC em saturação. Como pode ser visto o modelo EKV (similares expressões para ACM), o qual foi desenvolvido na Suiza, tem expressões para representar o transistor em qualquer nível de inversão.



*1 Ou seja, a corrente varia para V_{SB} diferentes. O qual não ocorreria em NIVEL 1.

MP.

Prezado (a) Candidato (a), preencher somente o número sorteado e o número da folha. BOA PROVA!

Concurso MC-191 Eletrônica		Nº 2	Folha: 8

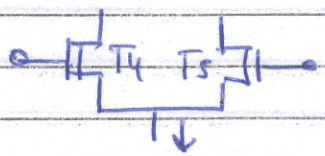
QUESTÃO (3)

(a)

- Os transistores T_1, T_2 e T_3 são um espelho de corrente, o qual cópia a corrente que passa pelo transistor T_1 para os outros T_2 e T_3. Em outras palavras, são uma fonte de corrente do circuito.
- O transistor T_9 está conectado com diodo*, fornecendo a corrente ao transistor T_1, que polariza o circuito.
- Trasistores T_4 e T_5 formam o par diferencial de entrada (1º ganho de amplificação)
- Transistor T_8 é o estágio de amplificação de saída (2º ganho de amplificação)
- Transistores T_6 e T_7 são um espelho de corrente e carga ativa do par diferencial.

(b) Circuito com dois estágios.

Estagio 01: Par diferencial formado por T_4 e T_5



Estágio 02: Estágio amplificador com transistor PMOS (T_8) conectado em fonte comum.

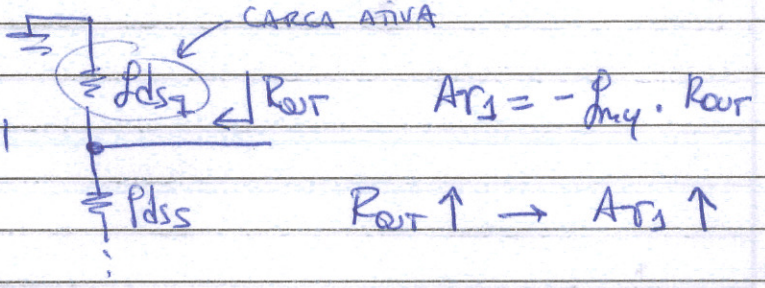
* Usualmente também é utilizado um trasistor BIAS, com uma tensão contínua no gate, ou mesmo uma fonte de corrente.

MP.

Prezado (a) Candidato (a), preencher somente o número sorteado e o número da folha. BOA PROVA!

Concurso MC-191 Eletrônica		Nº 2	Folha: 9

(c) Os transistores de carga ativa aumentam consideravelmente a impedância de saída do estágio amplificador como pode ser visto na figura 3.1. Desta forma



Pequeno sinal

$$R_{OUT}^{-1} = g_{ds7}^{-1} + g_{ds5}^{-1}$$

Figura 3.1.

o ganho do primeiro estágio de amplificação também aumenta. Isso deve-se a que g_{ds} geralmente é um número muito pequeno nas tecnologias CMOS e podem se alcançar impedâncias grandes.

Considerações no Layout

- A impedância de Early (ou g_{ds}) dos transistores é muito sensível ao comprimento destes. Por esso nunca não podem se utilizar L ~~pequenos (ou perto~~ curtos, ou perto do mínimo de tecnologia. Uma boa prática é incrementar L até termos o g_{ds} desejado. Portanto, considerar isto no projeto de T6 e T7.
- Por outro lado, no hora de fazer o layout é fundamental ~~as~~ a simetria e centroide comum no par diferencial e nos espelhos de corrente.

(d) A principal característica do par diferencial é a rejeição ao modo comum, ou em outras palavras, o circuito somente pode ser sensível a sinais diferenciais. Desta forma, como mencionado na parte (c), é fundamental termos simetria e centroide comum (VER fig 3.2)

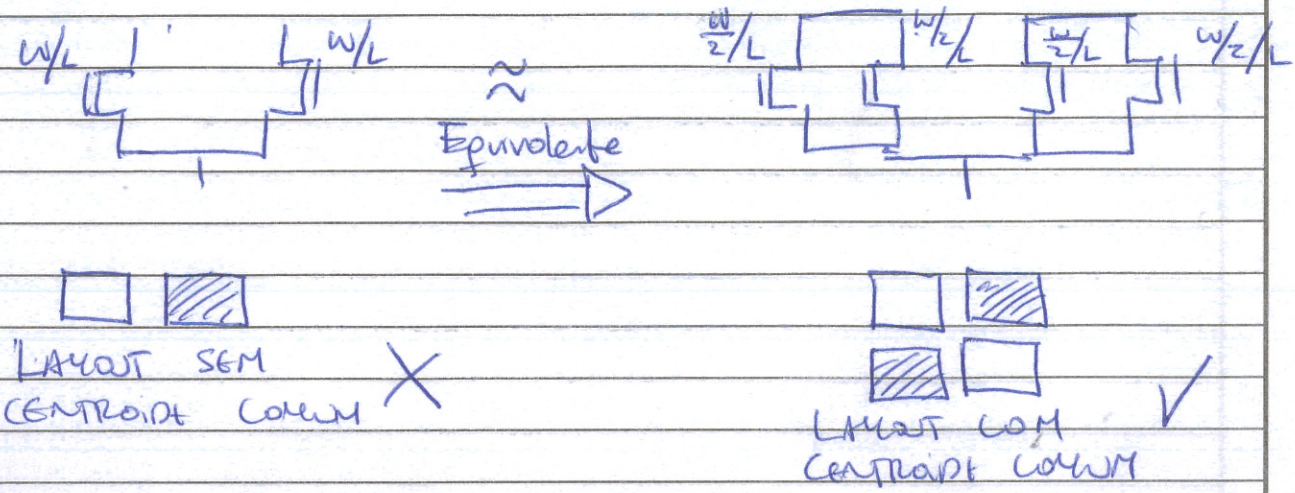
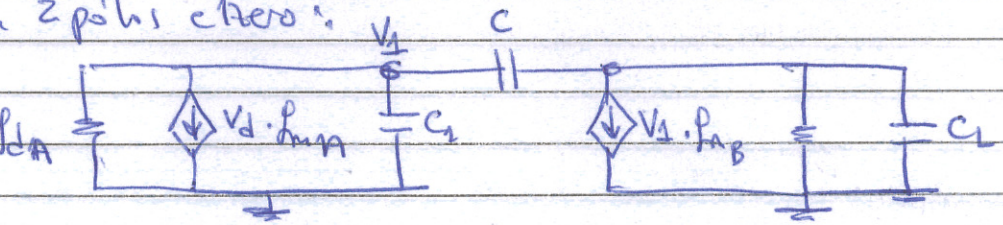


Fig. 3.2 EXEMPLO DE BOM LAYOUT COM CENTROIDE COMUM E SIMETRIA.

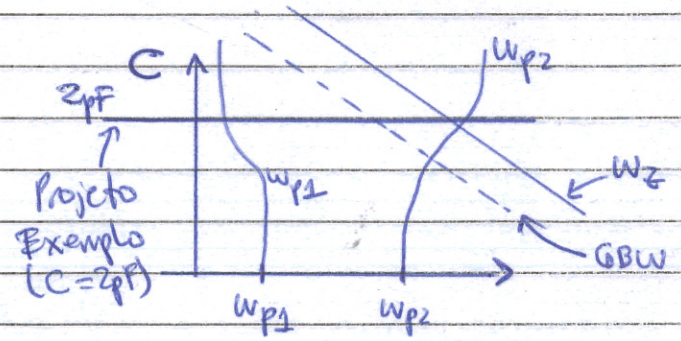
(e) O capacitor está sendo utilizado para compensar a resposta em frequência do amplificador. Ele é conhecido como amplificador de Miller. A técnica pode ser vista na figura 3.3:

Sistema com 2 pólos e zero:

(a)



(b)



- ω_{p1} pólo dominante
- ω_{p2} pólo não dominante
- ω_z zero
- GBW freq. de ganho unitário

Figura 3.3. Sistema de segunda ordem do amp. operacional apresentado: (a) circuito equivalente; (b) técnica de pole splitting usando capacito de miller.

Observe-se que quando ~~aumentamos~~ incrementamos o capacito C podemos encontrar um equilíbrio entre os pólos e zeros

MP.

Prezado (a) Candidato (a), preencher somente o número sorteado e o número da folha. BOA PROVA!

Concurso MC-191 Eletrônica		Nº 2	Folha: 11

do sistema. Geralmente o capacito de Miller é ajustado para obter uma margem de fase de 67° quando CL é máximo.

Prezado (a) Candidato (a), preencher somente o número sorteado e o número da folha. BOA PROVA!

Concurso MC-191 Eletrônica		Nº 2	Folha: 12

QUESTÃO (4)

As linguagens de descrição de hardware (HDLs) foram desenvolvidas na década de 80', principalmente para representar o hardware nos domínios comportamentais e estruturais. Dentre os principais encontram-se VHDL (1981) e Verilog (1984). Para entermos a diferença entre os domínios comportamentais e estruturais,

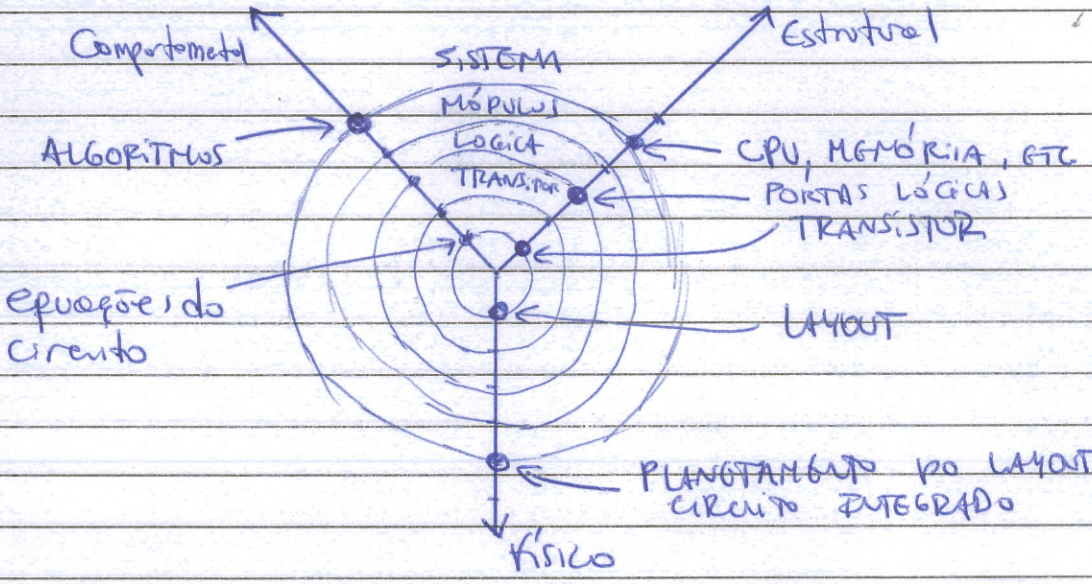


Figura 4.1. DIAGRAMA Y PARA PROJETO VLSI.

na figura 4.1 é apresentado o diagrama Y, o qual ~~host~~ indica um procedimento de abstração entre diferentes níveis no projeto de circuito digitais VLSI.*1 Observe-se que mais perto do centro do diagrama, mais forte é o nível de detalhes, ou em outras palavras, mais baixo nível. ~~Evidente~~, Naturalmente, os projetos VLSI iniciam no nível comportamental, o ~~Ao formo mais~~ mais longe possível do centro do diagrama. Conforme o projeto vai evoluindo, ele gira em sentido horário no diagrama Y, e em ~~espiral~~ espiral para dentro do círculo.

*1 VLSI: Very large silicon integration.

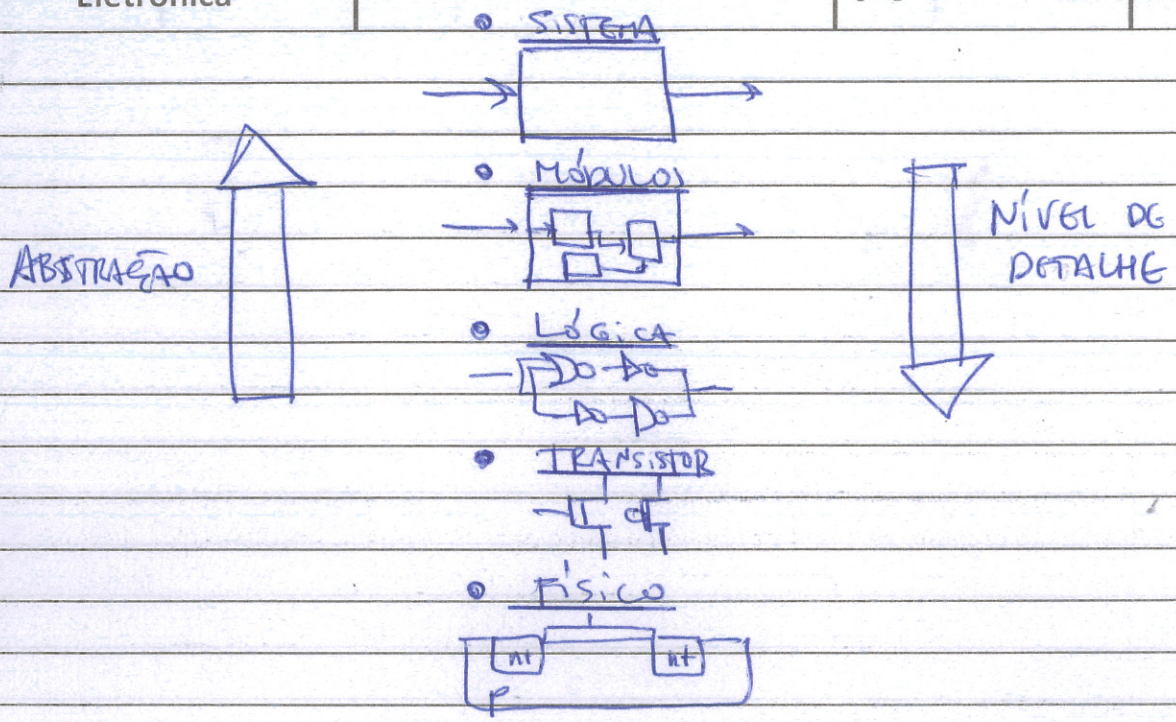


Figura 4.2 Níveis de abstração em projetos VLSI.

~~Um outro~~ ~~A~~ ~~principal~~

A abstração é fundamental quando usamos HDLs, já que podemos definir como se comporta o sistema sem entrar em níveis de detalhes (ver fig 4.2). Isso permite lidar com grandes projetos, onde existem 100 bilhões de transistores no mesmo circuito integrado, e sem HDL, seria impossível.

HDLs no domínio comportamental

Possivelmente o domínio comportamental seja ~~dos~~ dos mais poderosos dos HDLs em vista da síntese que ele permite. Através de ~~descrição~~ descrição de um comportamento, hoje em dia existem ferramentas muito poderosas que podem rapidamente fornecer o layout de um circuito (domínio físico). A figura 4.3 mostra um exemplo de um inversor no domínio comportamental.

~~*1~~ CPU Ponte Vecchio da Intel.

```
module inverter(
    input logic in
    output logic out);
assign out=~in
end module.
```

Figure 4.3: Código Verilog de um inversor no domínio comportamental

O mesmo exemplo poderia ser implementado em VHDL, mas por questão de simplicidade foremos em Verilog.

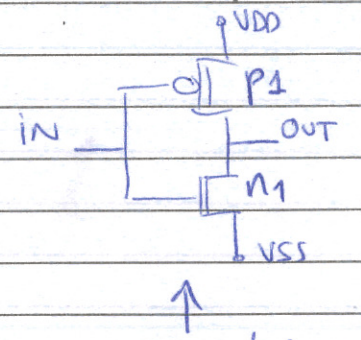
Observe-se que no código de figura 4.3 não existe nenhuma especificação de como o circuito será implementado no nível de transistor. As ferramentas de síntese utilizam informações de tecnologia CMOS (ou FPGA) no qual o circuito vai ser implementado, e assim, automaticamente fornecerá um netlist (circuito e nível transistor). Desta forma, o HDL permitiu levar uma descrição comportamental para o domínio estrutural. Após ter o circuito e nível de netlist, o qual considera a temporização, consumo de potência, entre outros, existem ferramentas *1 que podem onde automaticamente realizar o layout de circuitos digitais.

HDLs no domínio estrutural

Mesmo o domínio comportamental podendo realizar a síntese automáticamente, é útil e, necessário para algumas aplicações, poder representar o sistema a nível estrutural. A figura 4.4 mostra um exemplo de um inversor no domínio estrutural. Note-se que aqui sim poderiam ser colocados mais detalhes, até as dimensões dos transistores # se desejado.

*1 Dos fabricante Cadence e Synopsys principalmente.

```
module inverter (
    input wire in
    output wire out);
// FONTES
supply0  vss;
supply1  vdd;
// CIRCUITO
pmos  p1 (Vdd, out, in);
nmos  n1 (out, vss, in);
end module;
```



ESQUEMÁTICO REFERÊNCIA

fig. 4.4 Código verilog de um inversor em domínio estrutural

Considerações finais:

Os HDL são muito poderosos pois permitem projetar grandes sistemas sem entrar em detalhes de implementação. Os códigos HDLs são:

- adaptáveis: No nível comportamental não foi definido uma tecnologia.
- Reutilizáveis: O mesmo projeto pode ser reutilizado em outro projeto.
- Permitem sintetizar.
- Permitem simular.

MP.