

CONVERSOR ANALÓGICO/DIGITAL INTEGRADO COM ESTRUTURA
PARA AUTO-TESTE

Ricardo Vieira Falbo

DISSERTAÇÃO SUBMETIDA AO CORPO DOCENTE DA COORDENAÇÃO
DOS PROGRAMAS DE PÓS-GRADUAÇÃO DE ENGENHARIA DA
UNIVERSIDADE FEDERAL DO RIO DE JANEIRO COMO PARTE DOS
REQUISITOS NECESSÁRIOS PARA A OBTENÇÃO DO GRAU DE MESTRE
EM CIÊNCIAS EM ENGENHARIA ELÉTRICA.

Aprovada por:

Prof. Antonio Carneiro de Mesquita Filho, Dr.
d'État

Prof. José Vicente Calvano, D.Sc.

Prof. Jorge Lopes Souza Leão, Dr. Ing.

Prof. José Franco Machado do Amaral, D.Sc.

RIO DE JANEIRO, RJ - BRASIL

MARÇO DE 2006

FALBO, RICARDO VIEIRA

Conversor Analógico/Digital Integrado com
Estrutura para Auto-Teste [Rio de Janeiro] 2006

XVI, 85p. 29,7 cm (COPPE/UFRJ, M.Sc.,
Engenharia Elétrica, 2006)

Dissertação - Universidade Federal do Rio de
Janeiro, COPPE

1. Microeletrônica
2. Dispositivos MOS
3. Conversores A/D
4. Estruturas BIST

I. COPPE/UFRJ II. Título (série)

Dedico esta tese aos meus pais Jorge Eliziri Origone Falbo e Margarida das Dores Vieira Falbo que abriram mão de uma vida mais confortável para dar um melhor estudo a mim e minha querida irmã Shirley Vieira Falbo Saisse dos Santos.

Agradecimentos

Em primeiro lugar ao Criador, que deu a mim, criatura, a oportunidade de descobrir o prazer do aprender.

As pessoas que mais amo, pela força espiritual que depositaram em meu “coração”:

- ❖ Minha família Mônica Gaspar da Silva Falbo, Henrique da Silva Falbo e Yúri da Silva Falbo;
- ❖ Meus pais Jorge Eliziri Origone Falbo e Margarida das Dores Vieira Falbo;
- ❖ Minha irmã Shirley Vieira Falbo Saisse dos Santos e meu sobrinho Mateus Saisse dos Santos Vieira Falbo;
- ❖ Minha avó Olinda Arigone Falbo († 20/03/2006);
- ❖ Meu padrinho Negil Allan Robalinho e
- ❖ Meu amigo Marcos Bruno Sobrinho Ferreira.

A minha linda esposa Mônica Gaspar da Silva Falbo pela compreensão de que foi necessária tamanha dedicação para o título almejado. E também aos meus pequeninos filhos Henrique da Silva Falbo e Yúri da Silva Falbo que ainda não podem entender o que é uma pós-graduação.

Ao meu orientador Doutor Antonio Carneiro de Mesquita Filho que acreditou em mim até o último instante, tomando decisões arriscadas no momento final da tese. Tenho imensa admiração pelo seu profissionalismo.

Ao meu co-orientador Doutor José Vicente Calvano que assumiu o desafio de terminar esta tese em um tempo extremamente curto. Somente pessoas de alto potencial poderiam acreditar que seria possível.

Aos Mestres Carlos Eduardo de Freitas Savioli, Denir Valêncio de Campos e Cláudio Eduardo Csura Szendrodi que além de meus incentivadores, se propuseram inúmeras vezes a me ajudar.

Aos meus colegas de trabalho Marcelo Menezes Miguel, Fernando Rodrigues de Souza, Wagner Hércules Peçanha, Alexandre Francisco Ramos e toda equipe do C-QTE, nada seria possível sem a cooperação deles.

E ao meu antigo chefe Édson Néri Brasil que me incentivou a iniciar o Mestrado e os atuais Manoel Antônio da Costa Neto, Fábio Nário Pessoa e Filipe Gaspar Guimarães, todos me deram as melhores condições possíveis.

Resumo da Dissertação apresentada à COPPE/UFRJ como parte dos requisitos necessários para a obtenção do grau de Mestre em Ciências (M.Sc.)

CONVERSOR ANALÓGICO/DIGITAL INTEGRADO COM ESTRUTURA
PARA AUTO-TESTE

Ricardo Vieira Falbo

Março/2005

Orientadores: Antonio Carneiro de Mesquita Filho
José Vicente Calvano

Programa: Engenharia Elétrica

Nesta dissertação será apresentada uma metodologia para o projeto visando a testabilidade de conversores analógico-digital (A/D). Parte do trabalho consiste do estudo e da avaliação das características de teste e testabilidade das diversas estruturas componentes de um conversor A/D. O estudo resultou na estratégia de “dividir para conquistar”, usada para implementar as estruturas de auto-teste integrado. Além disso, com a finalidade de avaliar a estratégia, foi desenvolvido um conversor A/D de 6 bits com estrutura fundamentada nos conceitos de rampa digital em tecnologia MOS 0,35 μ m.

Abstract of Dissertation presented to COPPE/UFRJ as a partial fulfillment of the requirements for the degree of Master of Science (M.Sc.)

ANALOGICAL/DIGITAL CONVERTER INTEGRATED WITH STRUCTURE
FOR AUTOMATED-TEST

Ricardo Vieira Falbo

March/2005

Advisors: Antonio Carneiro de Mesquita Filho

José Vicente Calvano

Department: Electrical Engineering

This Dissertation introduces a methodology for Design-for-Testability (DfT) of Digital-to-Analog Converters (DAC). Part of the work consists of the study and the evaluation of the test and testability characteristics of the DAC structures. The study revealed a strategy named as “divide-to-conquer”, that was used to implement the built-in-self-test (BIST) structures. In addition, in order to evaluate the proposed strategy, a 6 bit DAC was designed. The DAC structure is based on the digital ramp concept, and dimensioned to the MOS 0,35 μ m technology.

Índice

1. Introdução.....	1
2. Revisão bibliográfica.....	4
2.1. Negreiros, M., Carro, L., Susin, A.....	4
2.2. Adão, S. e Carro, L.....	4
2.3. Reis R. e Pinheiro S.....	4
2.4. J. A. Braga, J. Machado da Silva, J. C. Alves, and J. S. Matos.....	5
2.5. Venuto D. e Richardson A.....	5
2.6. Calvano J. V.; Alves V. C.; Lubaszewski M.; e Mesquita A. C.....	5
2.7. Calvano J. V.; Alves V. C.; Lubaszewski M.; e Mesquita A. C.....	6
2.8. Manen S., Bohner G., Lecoq J., Fleury J., Taille C. e Martin G.....	6
2.9. Hamedi-Haghb S.....	6
2.10. Dong-Young C. e Seung-Hoon L.....	7
2.11. Abo A. M. e Cinza P. R.....	7
3. Teste e testabilidade de sistemas.....	9
3.1 Definições.....	9
3.2 As estruturas BIST para os circuitos analógicos.....	14
3.3 A importância dos modelos de falhas.....	15
3.4 O método de análise de transientes (TRAM).....	16
3.5 O modelo de falhas.....	17

3.5.1 Modelo de falhas paramétricas.....	17
3.5.2 Modelo de falhas comportamentais.....	17
3.6 Geração de vetores de teste.....	18
3.7 Sistemas de 1ª ordem e seu modelo de falhas.....	18
3.7.1 Vetor de testes para sistemas de 1ª ordem.....	19
3.7.2 Detecção de falhas em sistemas de 1ª ordem.....	22
3.8 A simulação de falhas.....	24
3.9 O Teste em Circuitos Analógicos.....	24
3.10 O padrão IEEE Std 1149.4.....	26
4. Conversor A/D por rampa digital de 6 bits.....	29
4.1 A tecnologia utilizada.....	29
4.2 O Simulador.....	30
4.3 Descrição da Estrutura do Conversor Analógico Digital.....	32
4.3.1 Outros Métodos de Conversão.....	33
4.4 O Conversor D/A.....	35
4.5 Conversor Corrente-Tensão.....	39
4.5.1 Resolução.....	43
4.5.2 Resolução Percentual.....	44
4.5.3 Erro de Offset.....	45
4.6 O “Sample Hold”.....	46
4.7 A Chave Analógica.....	48

4.8 O Circuito Comparador.....	50
4.9 O Bloco de Controle.....	55
4.9.1 “Aliasing”.....	57
4.10 O Circuito de captura (“latch”).....	57
4.11 Dispositivos Lógicos Primitivos.....	59
4.12 Circuito Completo.....	60
5 Estratégias de teste para o conversor A/D.....	64
5.1 Dividir para conquistar.....	65
5.2 Estruturas para implementação do BIST nos subcircuitos.....	67
5.2.1 Estrutura do BIST para a Chave analógica.....	67
5.2.2 Estrutura do BIST do Conversor Corrente Tensão.....	68
5.2.3 Estrutura do BIST para o Sample & Hold.....	69
5.2.4 Estrutura do BIST do Comparador.....	69
6 Simulação de Falhas.....	71
6.1 Análise paramétrica da Chave Analógica.....	74
6.2 Análise paramétrica do Conversor corrente/tensão.....	75
6.3 Análise paramétrica do Sample & Hold.....	76
6.4 Análise paramétrica do Comparador.....	77
7 Conclusões.....	79
8 Referências Bibliográficas.....	81

Índice de figuras

Figura 3.1: Experimento para avaliação do vetor de teste para verificação de desvios na frequência do pólo.....	20
Figura 3.2: Formas de onda de saída correspondentes ao experimento da figura 3.1.....	21
Figura 3.3: Experimento para avaliação do vetor de teste para verificação de desvios no ganho DC.....	22
Figura 3.4: Resposta do experimento da figura 3.3.....	22
Figura 3.5: Gráfico da resposta de um sistema de 1ª ordem, para desvios simultâneos em g_1 e p_1 , de modo que $g_1 + \hat{\partial}g_1 = p_1 + \hat{\partial}p_1$	23
Figura 3.6: Configuração básica para o 1149.4Std.....	27
Figure 3.7: Detalhes do ABM.....	27
Figure 3.8: Detalhes do TBIC.....	28
Fig 4.1: Diagrama em blocos do Conversor A/D.....	33
Fig 4.2: Diagrama do Conversor D/A.....	35
Figura 4.3: Diagrama esquemático do Contador.....	36
Figura 4.4: Diagrama esquemático do Ladder.....	37
Figura 4.5: Rampa de corrente do D/A.....	38
Figura 4.6: Diagrama esquemático do AmpOp.....	39
Figura 4.7: Gráfico $gm/I_d \times I_d$	40
Figura 4.8: Diagrama do Conversor Corrente/Tensão.....	42

Figura 4.9: Resposta do Conversor Corrente/Tensão.....	43
Figura 4.10: Diagrama esquemático do Sample and Hold.....	46
Figura 4.11: Tempos de carga e descarga do capacitor de amostragem C_{SH}	47
Figura 4.12: Desempenho do Sample and Hold.....	48
Figura 4.13: Diagrama esquemático da Chave Analógica.....	49
Figura 4.14: Diagrama esquemático do Comparador Track and Latch.....	52
Figura 4.15: Slew-rate do conjunto comparador e lógica de controle.....	54
Figura 4.16: Diagrama de configuração do módulo de comparação.....	54
Figura 4.17: Atuação do sinal HOLD sobre o contador.....	55
Figura 4.18: Diagrama de tempos dos pulsos de controle.....	55
Figura 4.19: Atuação de ϕ_1 sobre o capacitor de Sample.....	56
Figura 4.20: Atuação de ϕ_2 no circuito de <i>sample-hold</i>	56
Figura 4.21: Atuação do comparador sobre o Latch.....	58
Figura 4.22: Diagrama esquemático da célula Latch.....	58
Figura 4.23: Atuação do pulso de habilitação sobre o <i>Latch</i>	59
Figura 4.24: Diagrama esquemático dos dispositivos primitivos.....	59
Figura 4.25: Resposta do inversor ao pulso.....	60
Figura 4.26: Diagrama em detalhes do Conversor A/D.....	61
Figura 4.27: Gráfico do desempenho do Conversor A/D.....	62
Figura 5.1: Digrama de blocos do conversor A/D.....	65

Figura 5.2: Chave analógica e circuitos BIST.....	67
Figura 5.3: Conversor corrente-tensão e circuitos BIST.....	68
Figura 5.4: Sample and Hold e circuitos BIST.....	69
Figura 5.5: Comparador e circuitos BIST.....	70
Figura 6.1: Respostas das estruturas BIST a um pulso.....	73
Figura 6.2: Simulação de Monte Carlo da Chave Analógica.....	75
Figura 6.3: Simulação de Monte Carlo do Conversor corrente/tensão.....	76
Figura 6.4: Simulação de Monte Carlo do Sample and Hold.....	77
Figura 6.5: Simulação de Monte Carlo do Comparador.....	78

Índice de tabelas

Tabela 4.1: Parâmetros elétricos MOS	29
Tabela 4.2: Características da maioria dos modelos existentes.....	32
Tabela 4.3: Especificações do AmpOP.....	41
Tabela 4.4: g_m/I_D dos transistores.....	41
Tabela 4.5: Dimensionamento dos transistores.....	42
Tabela 4.6: Especificações do comparador.....	52
Tabela 4.7: Dimensões dos transistores.....	53
Tabela 5.1: Divisão dos circuitos analógicos.....	66

Convenções Tipográficas

As convenções seguintes são utilizadas nesta tese para identificar certos tipos de informação:

CONVENÇÃO	DESCRIÇÃO
MAIÚSCULAS	siglas ou acrônimos
<i>itálico</i>	palavras ou expressões em língua inglesa ou palavras em português com significado ligeiramente diferente do habitual já definidas anteriormente no texto
<u>sublinhado</u>	variáveis
CAIXA ALTA	termos ou expressões sob definição

Nomenclaturas

BIST – *Built-in Self Test*

AMS – Analogue and mixed-signal

A/D – Analógico-Digital

ADC – Conversor Analógico-Digital

RF – Rádio Frequência

CMOS – Metal-Óxido Semicondutor Complementar

SoC - System-on-Chip

VLSI – Very Large Scale Integration

DfT - Design for Testability

ATE - Equipamento de Teste Automático

FFT - Transformada Rápida de Fourier

CAD – Computer Aided Design

CAE - Computer Aided Engineering

BITE - Built in test equipment

CUT - Circuit-under-test

FFM - Functional Fault Modeling

ATPG - Automatic test pattern generation

SPICE - Simulation Program with Integrated Circuit Emphasis

RAS - Registrador de Aproximações Sucessivas

DNL - Differential Non-Linearity

INL - Integral Non-Linearity

FFM - Functional Fault Modeling

TRAM - Transient Response Analysis Method

1 Introdução

Não seria exagero dizer que a humanidade, atualmente, já se encontra totalmente dependente da tecnologia moderna, e, em grande parte, da tecnologia da informação, em especial, sob a forma digital. A qualidade e as facilidades do processamento digital de sinais são os principais fatores motivadores à crescente tendência digital.

A dependência da humanidade facilmente se comprova quando consideramos a simples hipótese do sistema bancário parar por alguns dias, certamente a economia das nações pararia, e com ela toda indústria e comércio: O sistema bancário é um dos grandes usuários dos sistemas de informação e comunicações digitais.

A importância dos conversores A/D pode ser facilmente compreendida, à medida que, são esses dispositivos que fazem a ligação entre o mundo analógico, i.e., contínuos valores no qual se apresenta a natureza, e o mundo digital, concebido pelo homem para facilitar a implementação de sequenciadores, controladores e por fim microprocessadores.

Os conversores analógico-digitais (A/D), que já possuíam importância significativa nos equipamentos eletrônicos, passaram a ser blocos freqüentemente encontrados na maioria dos dispositivos integrados que, são disponibilizados, principalmente, para o público em geral, o que gera uma imensa demanda de produtos e serviços.

A tendência tecnológica para a fabricação de circuitos integrados apontam para o desenvolvimento de sistemas cada vez mais complexos e sistemas chamados de “mistos” (AMS – Analogue and mixed-signal), onde sobre uma mesma pastilha de silício, dispositivos analógicos e digitais são capazes de implementar funções antes inconcebíveis.

No que se refere às estratégias para conversão A/D, os métodos de conversão pouco se desviaram das arquiteturas inicialmente propostas pelos

pioneiros da área. O tradicional processo de conversão por comparação com uma rampa digital, construída por aproximação sucessiva, ainda é muito usado; outro exemplo seria o conversor paralelo. Porém, as novas técnicas de integração contribuíram para aumentar significativamente a resolução e a velocidade de conversão.

Outro aspecto de grande importância no processo de integração de circuitos é a testabilidade do dispositivo final, o que impacta profundamente na sua confiabilidade. Devido ao alto grau de complexidade dos produtos eletrônicos, a indústria procura produzir microssistemas com facilidades de teste, e, se possível, com estruturas integradas para auto-teste (“built-in-self-test”, BIST). A eficácia de uma estratégia de teste se faz perceber desde a verificação de projeto, passando pelos testes de fabricação, até o usuário final, onde as facilidades para manutenção em campo são fundamentais.

Tendo em vista os fatos apresentados anteriormente, esta Tese apresentará uma metodologia para o projeto de um Conversor A/D projetado para ser testável (“*designed-for-testability*”).

No desenvolvimento da Tese, no capítulo 2, será apresentada uma breve revisão bibliográfica sobre o assunto. No capítulo 3 serão apresentados os conceitos mais importantes sobre teste e testabilidade de sistemas.

No capítulo 4 é apresentada a proposta e o desenvolvimento de um conversor A/D. O projeto tem o objetivo de aproveitar os conceitos de conversores por Rampa Digital para montar um conversor de estrutura simples.

Uma das inovações propostas na Tese é o estabelecimento de uma estrutura elétrica para o circuito de conversão A/D baseada em sinais de corrente, ao invés de sinais de tensão. Esta técnica permitirá o uso de transistores MOS no tamanho mínimo do processo de fabricação.

Outra proposta deste trabalho é o uso de uma técnica de modelagem de falhas para circuitos analógicos que possibilitaria, em um momento futuro, a utilização de técnicas evolucionárias e sócio-cognitivas para a geração automática de vetores de teste. Nesse caso, também seria possível propor uma metodologia de teste e diagnóstico composta por geração automática de

vetores de teste, detecção, localização e diagnóstico de falha para uma determinada classe de circuitos: os conversores A/D.

No capítulo 5 é apresentada a segunda inovação da Tese, a proposta da técnica “dividir para conquistar”: o circuito conversor A/D seria dividido em porções analógicas e porções digitais, que são então testadas independentemente.

Além disso, a fim de implementar as facilidades de auto-teste, é proposto o uso do barramento de teste concebido pelo grupo “*Test Technology Technical Council*” (IEEE-TTTC) o 1149.4Std – “*Mixed-Signal Standard Test Bus*”. A seguir, no capítulo 6, são apresentados alguns resultados obtidos pela metodologia proposta, usando-se da simulação de falhas.

Por fim, no capítulo 7 são apresentados comentários adicionais e a conclusão da Tese.

2 Revisão bibliográfica

2.1 Negreiros, M., Carro, L., Susin, A.

Em [3] os autores avaliaram a aplicação de conversores A/D de baixa resolução para a realização de testes de circuitos analógicos. Consideraram ser interessante o uso de conversores A/D para o teste analógico, pois, com isto, puderam diminuir os custos dos equipamentos de teste. É esperado que alcancem altas velocidades com conversores de baixa resolução, tornando-os atrativos para implantações de medidas específicas de Rádio-Freqüência.

2.2 Adão, S. e Carro, L.

Avaliaram em [4] que arquiteturas de Conversores Analógico-Digital estocásticos têm mostrado vantagens para a integração de sistemas de sinais mistos. Elas apresentam baixo custo dos blocos analógicos, que podem ser utilizados sozinhos ou com diversas variações de componentes CMOS. O processo estocástico implementado aproveita-se da alta velocidade de chaveamento da tecnologia digital para oferecer uma troca facilmente configurável entre a resolução e a banda de passagem. Obtendo vantagem da disponibilidade do poder computacional a baixo custo no desenvolvimento do System-on-Chip (SoC) comum, puderam também desenvolver um dispositivo de aquisição analógica tolerante às múltiplas falhas catastróficas e paramétricas.

2.3 Reis R. e Pinheiro S..

Em [5] enfatizaram a importância da redução do consumo de energia em sistemas VLSI devido ao aumento da complexidade e da maior exigência pela portabilidade. Para os autores, o gerenciamento de energia tornou-se uma

restrição importante na especificação, projeto, teste e operação de sistemas computacionais, comparável à busca de desempenho por meio da minimização da área de silício e da velocidade de operação. Em seu trabalho, demonstraram a aplicabilidade na redução de potência de circuitos projetados em modo corrente, denominados circuitos em “micropotência”.

2.4 J. A. Braga, J. Machado da Silva, J. C. Alves, and J. S. Matos

Em [6] foi observado que os dados lógicos de um sistema de teste integrado, quando pré-processados em interfaces chamadas de “*wrapper*”, permitem a redução do tempo de teste porque, um pequeno número de valores é carregado no bloco principal de teste, obtendo assim um melhor desempenho na caracterização de parâmetros. A grande quantidade de estímulos em geral exigidos por micro-sistemas é consideravelmente reduzida quando se utiliza um BIST com blocos de controle “*wrapper*”.

2.5 Venuto D. e Richardson A.

Em [8], apresentaram uma nova solução para se aperfeiçoar os testes dos conversores A/D Sigma-delta de alta resolução, usando a entrada do quantificador como ponto de teste. As bases teóricas para a técnica são discutidas e são apresentados os resultados das simulações de alto nível para um A/D de 16 bits e quarta ordem. A análise demonstra o potencial de redução dos esforços computacionais associados à análise das respostas dos testes versus técnicas convencionais.

2.6 Calvano J. V.; Alves V. C.; Lubaszewski M.; e Mesquita A. C.

O trabalho detalhado em [9] busca um método para sintetização de testes de estruturas elétricas contínuas e invariantes no tempo usando blocos de primeira ordem para a implementação em circuitos lineares analógicos. Um

modelo de falha para o bloco e um dicionário de falha são propostos, juntamente com vetores de teste. O método permite também a avaliação das falhas modeladas.

2.7 Calvano J. V., Alves V. C., Lubaszewski M. e Mesquita A. C.

Propuseram em [11] o método FFM (*“Functional Fault Model”*), para modelagem funcional de falhas baseada no macromodelo dos amplificadores operacionais. A vantagem do emprego de macromodelos estaria justamente em se lidar com os parâmetros que afetam diretamente as especificações do circuito que mais interessam no seu teste. Para a avaliação da técnica proposta, empregaram o Método de Análise de Transiente , conhecido como TRAM (*“Transient Response Analysis Method”*).

2.8 - Manen S., Bohner G., Lecoq J., Fleury J., Taille C. e Martin G.

Em [14] postula que a tecnologia de processo de fabricação de circuitos integrados MOS cujo código é C35B4 permite criar resistores de maior valor ocupando áreas menores devido ao emprego da camada de polisilício de alta resistividade. Uma vantagem disto é o aumento significativo dos valores de RC, que podem permitir o alcance de uma melhor estabilização em um amplificador. Uma outra é a possibilidade de um desenho mais compacto de capacitor melhorando seu ganho e precisão. Os autores citam também a possibilidade de melhora do *“offset”* de um comparador com o emparelhamento das capacitâncias parasitas dos pares diferenciais.

2.9 –Hamedi-Haghb S.

Em [15] afirmam que há um número grande de aplicações que exigem o emprego de conversores de A/D com velocidade e resoluções médias como,

por exemplo, o conversor de 10 bits para aplicações em transceptores de rede locais sem fios (“*wireless*”) de redes utilizando modems de banda larga. Considerando as características de velocidade, a implementação destes circuitos é mais eficaz em arquiteturas tipo “*pipeline*” [17]. Nesse trabalho, estruturas CMOS montadas em circuitos integrados AMS (onde os circuitos analógicos são combinados com um grande número de circuitos digitais) . O trabalho também mostra que há um ganho de velocidade considerável pela redução da tensão de alimentação. É demonstrado também que a operação de estruturas CMOS com tensões de alimentação reduzidas diminui a potência de dissipação sem a perda de resolução.

2.10 - Dong-Young C. e Seung-Hoon L.

Foi observado em [16] que circuitos de baixa potência, tamanho compacto e alta resolução possuem grande demanda nos circuitos de interface analógico-digitais e de sistemas portáteis como filmadoras, telefones celulares e assistentes digitais pessoais. Muitos conversores A/D empregados em entradas digitais e circuitos analógicos precisam estar confeccionados em tecnologia CMOS para alcançar baixo custo de engenharia. Porém circuitos analógico-digitais com camadas de poly dobrado não conseguem capacitores precisos. Para este caso, os autores propuseram um método de construção de capacitores sobre uma única camada de poly, de modo a atingir a precisão requerida.

2.11 – Abo A. M. e Cinza P. R.

Em [17] foi observado que o crescente avanço em tecnologia CMOS está apontando para tensões de alimentação operacional reduzida. Neste trabalho, foram desenvolvidas estruturas de um conversor A/D com tecnologia CMOS 0,6 μ m alimentados por fonte de tensão em 1,5V sem a perda de precisão. O

conversor implementado apresentou bom desempenho inclusive para processamentos de vídeo.

3 Teste e testabilidade de sistemas

Neste capítulo, serão apresentados os conceitos considerados relevantes para o desenvolvimento da Tese, em especial, a maioria dos conceitos relacionados às estruturas de teste. Após a classificação e definições do assunto em questão, uma arquitetura BIST será proposta sobre um contexto teórico com apresentação de blocos funcionais das estruturas de maior importância na caracterização de uma falha. Grande parte desses conceitos foram obtidos de [25].

3.1 Definições

Considera-se como *defeito* uma imperfeição físico-química na constituição de um circuito integrado que causa uma *falha*. Falha é a manifestação observável do defeito no dispositivo. Conseqüentemente, os circuitos contendo falhas comportam-se diferentemente do esperado. Chamamos de *erro* a discrepância observada entre o comportamento esperado (usualmente chamado de nominal) e a resposta real medida no dispositivo.

As falhas dos circuitos analógicos classificam-se como: *paramétricas*, onde existe um desvio contínuo de um parâmetro do circuito no tempo ou devido a condições ambientais que o levam a assumir um valor inaceitável; e *catastrófica* (ou estrutural) quando se observa um desvio grande e repentino do valor esperado do parâmetro. São exemplos de falhas estruturais o curto circuito e o circuito aberto.

Chama-se falha simples aquela que atinge somente um parâmetro ou componente do circuito por vez. Falhas múltiplas atingem vários parâmetros ou componentes do circuito simultaneamente.

Quando não houver relação alguma de causa e efeito entre a ocorrência de duas ou mais falhas, elas serão ditas *independentes*, caso contrário são chamadas *dependentes*.

Considerando a estabilidade no tempo, a falha pode ser *permanente*, ou *intermitente*, quando ocorrer temporariamente.

A origem de uma falha pode estar associada a três fatores principais:

1^a - deve-se aos componentes do circuito, que podem vir afetados já do próprio processo de fabricação, que costuma produzir incorretamente uma faixa de 1 a 5% dos circuitos integrados analógicos, 0,75 a 2% dos transistores, 0,2 a 1% dos diodos e 0,1 a 1% dos capacitores. Os componentes podem ser atingidos tardiamente, quando se constata a sua deterioração pelo uso sob determinadas condições.

2^a - relaciona-se com a conexão de ligações e o processo de montagem: manipulações durante esta fase podem causar erros tais como o curto entre duas linhas de condução de sinal.

3^a – consequência do projeto, uma vez que muitas falhas resultam da inobservância do projetista de certos cuidados, freqüentemente relacionados às regras de projeto, e às “boas práticas de engenharia”, especificações incompletas ou inconsistentes, violação das regras de projeto, dentre outras.

Para se encontrar uma falha em um circuito, é necessário realizar o teste [13], i.e., o procedimento que efetua a sua detecção, localização e identificação. Por *detecção* entende-se a criação de condições capazes de revelar a eventual existência de uma falha no circuito. Uma vez detectada, procede-se a sua *localização*, que consiste em determinar o componente ou parâmetro defeituoso causador da falha, ao que se lhe segue a *identificação* ou *diagnóstico*, fase na qual o valor corrente do parâmetro defeituoso é estabelecido. A *detecção* é requisito necessário em qualquer tipo de teste. A *localização* mostra-se necessária se houver a intenção de posterior reparo do elemento defeituoso. O interesse pelo diagnóstico dá-se geralmente quando há uma reiterada ocorrência de falha estrutural em determinado local ou

paramétrica com um mesmo valor de desvio, exigindo do fabricante uma intervenção que ajuste ou altere as características do processo de manufatura.

Quanto a *detectabilidade*, as falhas podem ser classificadas, ainda, em, *mascaráveis*, *dominantes*, *equivalentes* ou *indistintas*, *não-observáveis* ou *indetectáveis*, e *isoladas* ou *detectáveis*. *Mascaráveis* são as falhas cujos efeitos compensam-se mutuamente tornando o comportamento do circuito livre de erros em determinadas circunstâncias. *Dominantes* são aquelas cuja evidência de seu efeito é capaz de tornar negligenciável os efeitos de todas as outras falhas que se lhe ocorram simultaneamente. *Equivalentes* ou *indistintas* são as falhas cujos efeitos são iguais sob certas condições, não podendo ser atribuídas exclusivamente a este ou aquele defeito. *Não-observáveis* ou *indetectáveis* são aquelas para as quais não existem condições ou um conjunto de condições possível de revelar-lhes a existência. Finalmente, *isoladas* ou *detectáveis* são as capazes de serem reveladas inequivocamente sob circunstâncias apropriadas.

Os testes em um circuito integrado também são classificados de acordo com o tipo de falha que objetivam revelar e a forma como o fazem. O teste *funcional* é empregado quando se deseja verificar se a resposta do circuito sob teste está nominalmente correta para uma dada função por ele desempenhada. O teste *paramétrico* é aquele em que o objetivo é comparar se as características dos parâmetros do circuito, como, por exemplo, tensão, corrente e impedância, estão contidas dentro da tolerância esperada. A verificação dos estados estáveis em um circuito é conhecida como teste *estático*, enquanto por teste *dinâmico* entende-se a observação das características dinâmicas ou transientes do circuito quando operando em condições normais.

A forma como os testes buscam revelar as falhas é também definida como modos de teste e são denominados *exaustivos*, *parciais*, *on-line* e *off-line*. *Exaustivos* são os testes que procuram verificar todos os modos de operação do circuito na procura por todo e qualquer tipo de falha. *Parciais* são

aqueles em que a verificação do circuito é limitada a determinados estados ou a certas falhas. Os testes *on-line* e *off-line* referem-se às condições de funcionamento do circuito no momento de aplicação do teste. Neste, o funcionamento do circuito é interrompido para a verificação desejada e naquele o seu funcionamento não o é.

Todo teste é executado mediante a aplicação de um estímulo, que corresponde aos sinais aplicados à(s) entrada(s) do circuito testado. Um estímulo também pode ser classificado quanto a sua natureza, sendo *normal* se corresponder a um sinal que poderia ser empregado na entrada do circuito sob teste quando em operação, e *artificial* se tratar de um sinal utilizado somente para o propósito do teste tal como, por exemplo, o ruído branco. Os estímulos podem ser agrupados para serem aplicados simultaneamente, forma sob a qual recebem a nomenclatura de *vetor de teste*. A ordem temporal de aplicação dos vetores de teste é também definida como seqüência de teste. A seqüência de teste pode ser *combinacional*, quando a ordem de aplicação dos vetores é irrelevante, *ordenada*, quando a ordem é determinada para a satisfação de um determinado critério ou *adaptativa*, quando a ordem de aplicação dos vetores é decidida de acordo com o resultado medido, devido à aplicação do vetor imediatamente anterior, no(s) nó(s) do circuito onde há ponto(s) de teste. A *abrangência* ou *cobertura* de falhas é a porcentagem das falhas contidas em um conjunto específico que são detectadas pela seqüência de teste aplicada e mostra-se como o principal indicador da eficácia quando se realiza a avaliação do teste.

Quando um teste é aplicado a um circuito e seus resultados são medidos para que seja verificada sua conformidade com o comportamento esperado, é realizada uma comparação da resposta obtida com um *modelo de falha*. O modelo consiste em dados, normalmente armazenados em computador, que fornecem uma representação dos comportamentos anômalos do circuito atribuídos a vários tipos de falha cuja detecção é desejada. Geralmente, a magnitude de manifestação da falha em um circuito é dependente do estímulo

que lhe é aplicado. Define-se então *assinatura de falha* o efeito percebido da falha mediante uma determinada condição de entrada. O conjunto de modelos de falha para um determinado circuito é conhecido como *dicionário de falhas*.

Os resultados que são medidos para compor o modelo de falha são classificados de acordo com a sua natureza, podendo estar sob a forma DC, AC, de transiente, impedância, corrente, tensão etc. Essas medidas dependem, ainda, do modo de representação do comportamento do circuito sob teste, podendo ser classificada em representação *funcional, estrutural, analítica* etc.

O modo pelo qual é determinado o *dicionário de falha* também é uma característica inerente às técnicas de detecção, localização ou diagnóstico da falha. As técnicas de *Simulation-Before-Test* são aquelas em que o dicionário de falha é construído a partir de simulações dos modelos teóricos de dispositivos existentes em programas do tipo CAD – *Computer Aided Design*. Por sua vez, as técnicas de *Simulation After Test* formam o dicionário de falha a partir de um processo que consiste em realizar medidas físicas do circuito sob teste, construir um modelo matemático a partir dessas medidas, simular o modelo estabelecido e armazenar os resultados dessa simulação no dicionário.

Uma *estimação de falha* é o modo pelo qual se trata a sua assinatura, comparando-a com os modelos de falha existentes no dicionário, objetivando estabelecer o seu diagnóstico no circuito sob teste. Os métodos de estimação dependem das técnicas matemáticas implementadas em sua realização e são divididos em duas classes gerais: os *determinísticos* e os *probabilísticos*. Nos métodos *determinísticos*, a relação entre a assinatura da falha encontrada e o modelo de falha é determinada por um critério a priori. Nos *probabilísticos*, essa relação é expressa como uma probabilidade de ocorrência, determinadas por estudos estatísticos.

A localização física dos vetores de teste é outro critério sob o qual são classificadas as estruturas criadas para a realização dos testes. Se os sinais que servirão de estímulo encontram-se dentro do circuito ou do sistema que

será testado, tratar-se-á de uma estrutura de teste do tipo BIST, sigla inglesa para *Built-in Self Test*, ou, em português, Estruturas de Auto-Teste Integrado. Se os estímulos forem aplicados por um equipamento de teste externo dedicado será considerada uma estrutura de teste ATE, sigla para *Automated Test Equipment*.

Por outro lado, quando as facilidades de teste estão localizadas externamente ao circuito, o equipamento que as contém passa a ser chamado de BITE ("*built in test equipment*"), que pode ou não ser incorporado à unidade a ser testada para prover características a capacidade de teste.

3.2 As estruturas BIST para os circuitos analógicos

Às estruturas de BIST são eventualmente impostas severas limitações de área de silício, complexidade estrutural, robustez, confiabilidade, dentre outras. A forma final de um BIST pode ser resultado da atividade de projeto visando a testabilidade.

Conforme mencionado em [18], os vetores de teste para os circuitos digitais podem ser gerados pelo "D-Algorithm", um método algébrico de caracterização de falhas para dados digitais, não havendo nenhum requisito adicional para a configuração desses circuitos, exceto o isolamento do circuito sob teste ("*circuit-under-test*", CUT) do restante dos circuitos para que se possa aplicar um vetor de teste na entrada e observar a resposta do CUT ao vetor de teste na saída.

Para o caso dos circuitos analógicos, a análise de transientes determina que, além do isolamento do CUT, haja a transformação do circuito em um sistema de 1ª ou 2ª ordem, para que se possa aplicar um degrau de tensão em sua entrada, e observar o regime transiente da resposta do CUT ao vetor de teste.

3.3 A importância dos modelos de falhas

O sucesso da aplicação de uma metodologia para geração de vetores de teste em qualquer tipo de circuito eletrônico está irremediavelmente associado ao modelo adotado para as falhas cuja detecção é esperada. Nos circuitos digitais, por exemplo, a característica do *bit* em assumir apenas dois estados lógicos permitiu a redução de um conjunto sem-fim de defeitos possíveis em um circuito com apenas duas falhas observáveis: a *stuck-at low* e *stuck-at high*. Naturalmente, existem outros modelos para circuitos digitais, dependendo daquilo que se deseja testar e detectar, mas pode-se dizer, seguramente, que as limitações impostas pelo modelo *stuck-at* dotou-o de uma universalidade indiscutível, já que o funcionamento de todos os circuitos digitais dá-se por meio das transições efetuadas entre estados lógicos determinados por *bits*, independentemente da aplicação a que se destinam.

Por sua vez, os circuitos analógicos não dispõem, até onde se sabe, de uma característica intrínseca que, tal como o *bit*, seja capaz de reduzir todo o universo de possíveis defeitos em apenas duas ou três manifestações observáveis de falha. Ao revés, o comportamento dos circuitos analógicos é determinado por uma série de infindáveis características, as especificações, que os singularizam –*ganho, banda passante, distorção harmônica total, slew-rate, frequência de corte etc.*–, e os valores que estas especificações podem assumir são contínuos dentro de uma determinada faixa. Some-se a isto o fato de que há especificações cujas medidas situam-se nas mais variadas grandezas, tais como o tempo, frequência, tensão e corrente, apenas para citar algumas. Finalmente, os defeitos encontrados nesses circuitos podem refletir-se na alteração de uma ou mais dessas especificações. Estas são algumas das principais dificuldades que acompanham aqueles que pretendem propor soluções para o teste de circuitos analógicos e que, sem dúvida, são o motivo para tantas disparidades de soluções propostas na geração e modelagem de falhas.

Há um aspecto dos testes que tem se tornado consenso entre os pesquisadores da área: todo e qualquer modelo de falha de circuito analógico

que se crie ou venha a ser criado é ou será apenas uma representação limitada da realidade. Dada a impossibilidade de se verificar todos os possíveis valores que um parâmetro de especificação pode assumir em um contínuo de valores ele o será observado apenas em alguns pontos. A atividade de engenharia reside justamente em buscar soluções que, dependendo do custo e da complexidade do circuito, possuam uma relação custo-benefício aceitável, medida quase sempre na taxa de cobertura de falhas.

Esta Tese propõe-se à apresentação de uma técnica de modelagem de falhas com o objetivo de aplicá-la em um conversor A/D.

3.4 O método de análise de transientes (TRAM)

Conforme estabelecido anteriormente, esta tese utilizar-se-á dos paradigmas propostos em [13], onde foi formulada uma metodologia para o projeto visando a testabilidade de circuitos analógicos.

Uma das estratégias propostas prevê a análise do regime transiente da resposta do circuito sob teste, como forma de teste de um circuito analógico. Neste caso serão utilizados apenas os circuitos de primeira ordem.

O conversor analógico-digital será particionado em dois grandes grupos de subcircuitos: o digital e o analógico. O método de análise de transientes será empregado para o teste das estruturas analógicas.

As estruturas analógicas serão configuradas por intermédio de chaves analógicas para que se comportem como circuitos de primeira ordem, i.e., sistemas dinâmicos de primeira ordem, onde por intermédio da observação do regime transiente da resposta do circuito será possível detectar a existência de defeitos de fabricação ou falhas de operação.

O item a seguir apresenta um extrato da formulação proposta em [13] para a modelagem de falhas em circuitos de primeira ordem.

3.5 O modelo de falhas

O uso de modelos tem o objetivo de facilitar o manuseio algébrico de dispositivos e sistemas considerados complexos, permitindo a formulação de seu comportamento.

O objetivo da modelagem de falhas de um dispositivo é representar seus defeitos no mais alto grau de abstração possível, reduzindo, assim, a complexidade da descrição do dispositivo para geração do vetor de teste e análise de falhas.

Esta tese usará dois tipos de modelos de falhas: paramétricas e funcionais, cujas descrições são apresentadas a seguir.

3.5.1 Modelo de falhas paramétricas

O modelo de falhas paramétricas se baseia na modelagem dos desvios dos valores dos componentes de um circuito. Esta abordagem viabiliza a avaliação de seus efeitos no comportamento do circuito, permitindo um aumento significativo no elenco de falhas físicas modeláveis. Uma limitação imediata aparece quando o circuito sofre de alterações em sua estrutura ou topologia. O modelo empregado fixa a topologia, a natureza do componente, e apenas reconhece como falhas os desvios em seus valores nominais.

3.5.2 Modelo de falhas comportamentais

O modelo de falhas comportamentais busca a diminuição das dificuldades apresentadas anteriormente, pela redução da complexidade da descrição das partes componentes do circuito, que, neste caso, podem vir a assumir as proporções de um subsistema e até de um sistema. Os componentes passam a ser descritos como "caixas-pretas", sendo as falhas inseridas na função que relaciona a entrada e a saída dos blocos. Uma vez que a topologia interna do circuito não é conhecida, as falhas passam a ser definidas como alterações funcionais, o que acarreta em desvios nas especificações do circuito.

3.6 Geração de vetores de teste

Obtido um modelo de falhas para um circuito analógico é possível iniciar a busca de sinais capazes de excitar uma falha fazendo com que ela se evidencie. Chamamos isso de geração de vetores de teste.

O objetivo de um *vetor de teste* é excitar uma ou mais falhas do circuito, fazendo com que elas se evidenciem, e seus efeitos possam ser observados em um determinado nó, ou ramo do circuito, conforme a escolha da grandeza a ser observada: tensão ou corrente.

3.7 Sistemas de Primeira ordem e seu modelo de falhas

Consideramos apenas os sistemas com a forma geral dada pela expressão 3.1.

$$H(s) = \frac{g_1}{(s + p_1)} \quad (3.1)$$

Estes sistemas apresentam um único pólo (p_1) e ganho DC g_1 .

Define-se como falha neste sistema, e, por conseguinte, a formulação para um modelo de falhas, o desvio dos coeficientes da equação para além de um valor considerado como limite de desvio no valor nominal. A expressão 3.2 apresenta a função de transferência $H_{f1}(s)$ para falhas no ganho DC e na frequência do pólo, inseridas respectivamente pelos desvios de módulo $\hat{\partial}g_1$ e $\hat{\partial}p_1$.

$$H_{f1}(s) = \frac{g_1 + \hat{\partial}g_1}{s + p_1 + \hat{\partial}p_1} \quad (3.2)$$

3.7.1 Vetor de testes para sistemas de 1ª ordem

Considerando um circuito caracterizado pela existência de um único pólo e um ganho DC, o que se procura é um vetor de teste capaz de evidenciar desvios no ganho e na posição do pólo.

Considerando os argumentos da análise da seção anterior, arbitramos como formas de onda prioritárias para uso como componentes de vetores de teste o degrau, o pulso e o seno. Desta forma, ao se estabelecer como forma de onda de saída um degrau, o sistema composto pela expressão 3.1 e o vetor de teste devem obedecer à igualdade da expressão 3.3.

$$\frac{V(s).g1}{(s+p1)} = \frac{1}{s} \quad (3.3)$$

Logo:

$$V(s) = \frac{1}{s} \cdot \left(\frac{g1}{(s+p1)} \right)^{-1} \quad (3.4)$$

$$V(s) = \frac{(s+p1)}{(s.g1)} \quad (3.5)$$

$$V(s) = \frac{1}{g1} + \frac{p1}{(s.g1)} \quad (3.6)$$

A expressão 3.6 representa a Transformada de Laplace do impulso $1/g1$ somado ao degrau de magnitude $p1/g1$. Logo o vetor de teste contém dois componentes, um impulso e um degrau.

A seguir são apresentados exemplos para o uso dos vetores de teste gerados para o teste de um sistema de primeira ordem. A teoria apresentada se utiliza de entradas tipo “degrau” e “pulso”, todavia, somente a entrada “degrau” será empregada no desenvolvimento da Tese. Cabe ainda ressaltar

que o uso do “pulso” visaria contornar os problemas associados às não-linearidades que poderiam se evidenciar caso fosse utilizado um “impulso”.

A figura 3.1 apresenta o primeiro experimento, onde a geração do vetor é implementada usando um gerador de degrau (“step input”), um gerador de pulsos (“pulse generator”) e um somador (“sum”). O vetor gerado é aplicado a três sistemas de primeira ordem, um com valores nominais de ganho ($g_1=1$) e pólo ($p_1=1$), que é representado pelo bloco “nominal”, os outros dois sistemas apresentam desvios de mais e menos 10% no pólo, respectivamente denominados “+10% dev” e “-10% dev”.

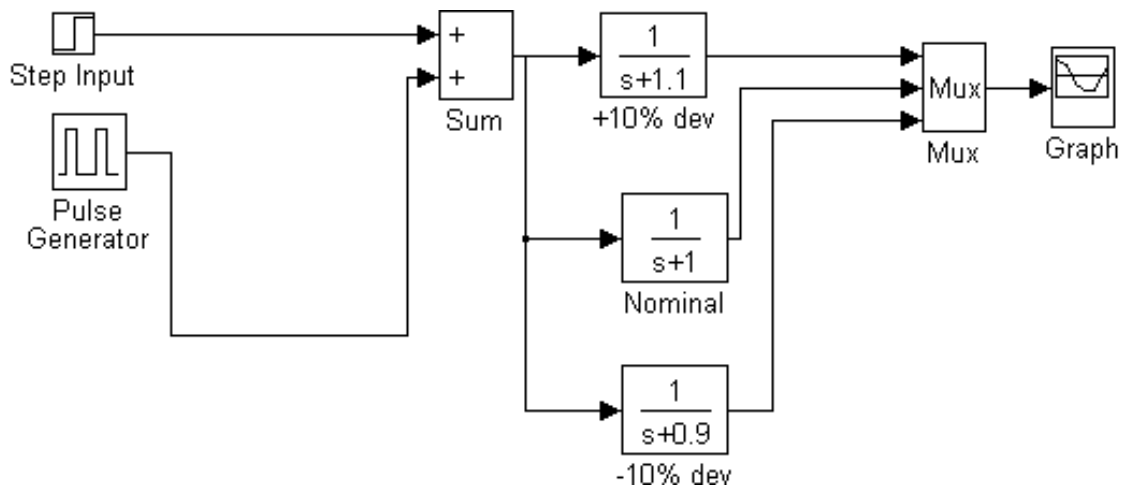


Figura 3.1: Experimento para avaliação do vetor de teste para verificação de desvios na freqüência do pólo.

A figura 3.2 mostra o gráfico do comportamento da saída desses sistemas. Para o sistema “nominal” a forma de onda corresponde a um degrau unitário, enquanto para os outros dois casos, existe um regime transiente diferenciado, bem como um desvio no valor de regime, de magnitude igual ao desvio sofrido na freqüência do pólo.

Para desvios no valor do ganho DC do sistema, a figura 3.3 representa um experimento, cujos blocos componentes possuem funções similares àquelas apresentadas na figura 3.1. Todavia, ao invés de desvios na frequência do pólo do sistema, os desvios ocorrem no ganho DC do mesmo.

A figura 3.4 mostra o gráfico para o comportamento da resposta do sistema. Neste caso, não existe diferença no comportamento de regime transiente, existindo contudo, alteração no valor da amplitude do "degrau" de saída. Este resultado pode ser também obtido pela aplicação do "Teorema do Valor Final" (TVF), [19] no qual o valor de regime do sistema pode ser previsto pelo limite de $s \rightarrow 0$.

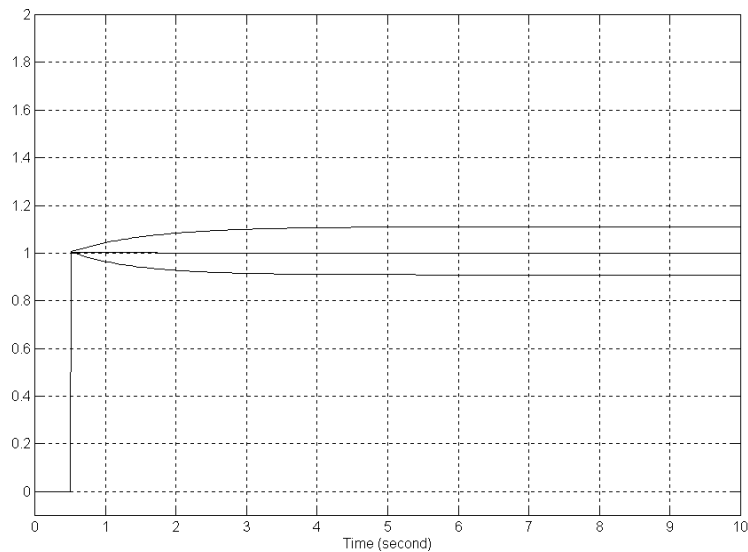


Figura 3.2: Formas de onda de saída correspondentes ao experimento da figura 3.1.

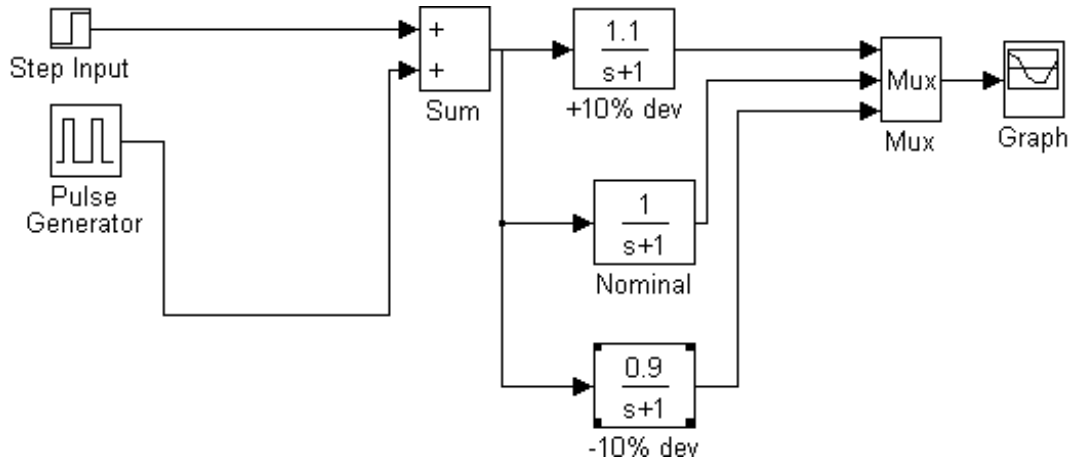


Figura 3.3: Experimento para avaliação do vetor de teste para verificação de desvios no ganho DC.

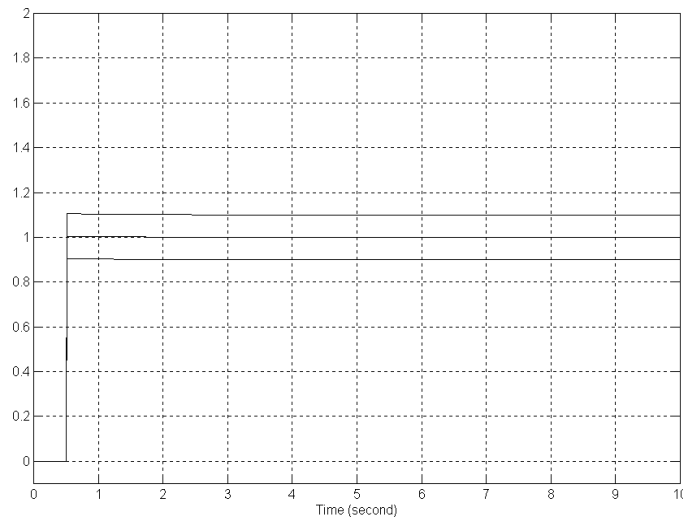


Figura 3.4: Resposta ao experimento da figura 3.3.

3.7.2 Detecção de falhas em sistemas de primeira ordem

Uma vez que consideramos falha em um sistema de primeira ordem, o desvio dos coeficientes da equação, para além de um valor considerado como limite de desvio no valor nominal, os dois experimentos conduzidos anteriormente mostram que tanto desvios em g_1 , quanto em p_1 , causam alteração no valor de regime permanente. Isto nos permite concluir que a

verificação do valor de regime permanente é capaz de detectar este tipo de falhas.

Todavia , se considerarmos:

$$H(s) = \frac{g_1 + \partial g_1}{s + p_1 + \partial p_1} \quad (3.7)$$

O valor de regime, dado pelo TVF vale:

$$\lim_{s \rightarrow 0} H(s) = \frac{g_1 + \partial g_1}{p_1 + \partial p_1} \quad (3.8)$$

Quando os desvios ocorrerem simultaneamente, de forma a ocorrer a igualdade expressa em 3.9, as falhas serão indetectáveis somente pela observação do valor em regime permanente. Neste caso, deve-se passar a observar também o comportamento em regime transiente. O gráfico da figura 3.5 ilustra esta observação, para o caso de desvios simultâneos de +10% e -10% no valor do ganho DC e do pólo.

$$g_1 + \partial g_1 = p_1 + \partial p_1 \quad (3.9)$$

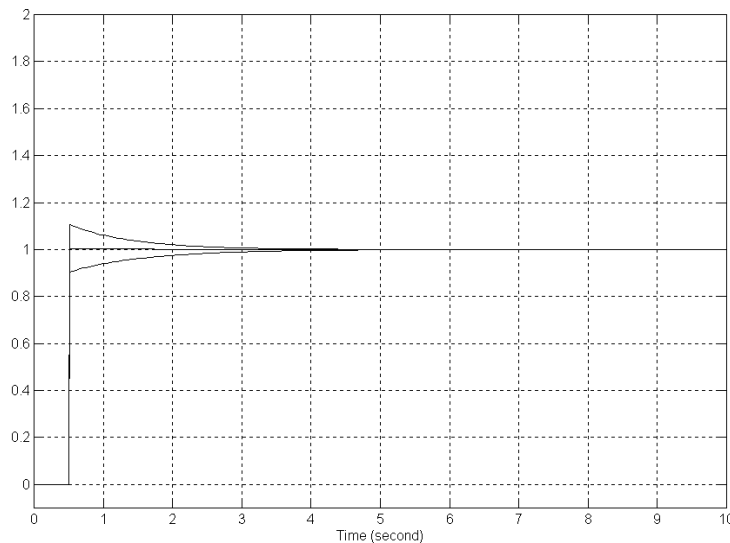


Figura 3.5: Gráfico da resposta de um sistema de 1ª ordem, para desvios simultâneos em g_1 e p_1 , de modo que $g_1 + \partial g_1 = p_1 + \partial p_1$.

Neste caso, a detecção da falha pode ser efetuada pela simples medição do valor de pico do regime transiente da resposta ao vetor de teste. Os gráficos apresentados nas figuras 3.4 e 3.5 sugerem o uso do comportamento do regime transiente para o diagnóstico de falhas em sistemas de primeira ordem.

3.8 A simulação de falhas

O propósito dos algoritmos de simulação de falhas é a determinação de uma lista de falhas em um circuito a ser testado, que são detectadas por um vetor de teste específico. O procedimento mais comum, na maioria dos algoritmos, é a simulação comparativa de um circuito sem falhas contra os circuitos com a inserção das falhas modeladas. Caso a resposta apresente um comportamento diferente, foi encontrado um vetor capaz de detectar a falha que foi inserida.

3.9 O Teste em Circuitos Analógicos

As pesquisas sobre as técnicas de diagnóstico em circuitos analógicos começaram a surgir com maior vulto a partir de fins da década de 70, quase 15 após os trabalhos da área digital terem iniciado. O motivo para o atraso deveu-se, dentre outras razões, à crença de que a então crescente facilidade de integração de circuitos digitais engendraria um movimento de intensa substituição de sistemas analógicos por digitais, e o papel dos circuitos analógicos permaneceria restrito aos periféricos de alguns componentes discretos nos novos sistemas. Segundo esta crença, não haveria, motivação para se investir na pesquisa de testes de circuitos cuja importância econômica na indústria eletrônica decresceria aceleradamente. Isto, aliado ao fato de os circuitos analógicos serem, geralmente, pequenos em tamanho, ajudaram a disseminar na indústria outra crença: a de que a experiência e intuição do engenheiro de testes seriam suficientes para lidar com o problema dos circuitos

analógicos. Na maioria dos casos se chama de abordagem heurística ou até mesmo *AdHoc*.

A partir da década de 80, entretanto, alguns fatores desencadearam o processo que alçaria os circuitos analógicos a um papel econômico relevante na indústria. O avanço da tecnologia de integração permitiu que, em um mesmo substrato, fossem acomodados circuitos analógicos e digitais. Surgiam, assim, os circuitos integrados de modo misto - *mixed-signal circuits* – contendo aplicações lógicas e digitais num mesmo chip. Naturalmente, a partir deste ponto, somente experiência e intuição não se mostrariam mais suficientes frente à crescente complexidade de projeto dos circuitos analógicos, agora integrados aos digitais.

Nos circuitos integrados de modo misto, o custo de seu teste total, da ordem de 40% do custo de fabricação do circuito integrado, é inteiramente dominado pelo custo do teste de sua parte analógica. Pesquisas em metodologia e estruturas de testes para circuitos analógicos significam investimentos que podem trazer competitividade aos produtos de um determinado fabricante. Essas preocupações da indústria acerca do assunto refletiram-se na comunidade acadêmica e, já em 1999, foi criado o padrão *IEEE Std 1149.4-1999*, para incluir nas arquiteturas dos circuitos de modo misto estruturas de teste similares às bem-sucedidas dos circuitos digitais propostas pelo padrão *IEEE Std 1149.1-1990*.

Apesar dos investimentos em pesquisa, ainda não surgiu um método que seja abrangente o suficiente para ser aplicado em todo tipo de circuito, dada a enorme diversidade de parâmetros contínuos de que pode dispor um circuito analógico, e que se acrescenta, ainda, à dificuldade em se tratar ruídos, distorções e não-linearidades que afetam a medida contínua. Além destes obstáculos, os métodos de diagnóstico de falhas em circuitos analógicos, ainda têm de lidar com duas importantes questões inerentes a este tipo de circuito, e que influenciam diretamente na eficácia das técnicas empregadas: o problema

da tolerância e o problema da modelagem e simulação dos componentes com falha.

3.10 O padrão IEEE Std 1149.4

A descrição a seguir, retrata o comportamento geral de um ambiente estruturado através dos conceitos do padrão proposto pelo IEEE TTTC, o 1149.4Std "*Mixed- Signal Test Bus*".

A estrutura global ilustrada na figura 3.6, é um circuito integrado compatível com o padrão 1149.4, onde o circuito analógico original é embutido no bloco chamado de núcleo ("*core*"). Os elementos obrigatórios para caracterizar a compatibilidade com o padrão de teste são os seguintes:

- Duas portas de teste dedicados (chamadas de TAP e ATAP): portas de acesso ao teste digital e analógica, que permitem o fluxo bidirecional de dados de teste entre as portas de acesso e o "*core*";
- Dois tipos de módulos limitadores de periferia ou interface, i.e., o ABM ("*Analog Boundary Module*") e o DBM ("*Digital Boundary Module*"): Módulos de Limite Analógicos e Digitais associados a cada pino digital e analógico, provendo acesso ao "*core*" para a aplicação de estímulos de teste e para a aquisição de resultados;
- Circuito de Interface do Barramento Teste ("*Test Bus Interface Circuit*", TBIC): implementa chaves e digitaliza circuitos para auxílio de teste; e
- Controle de Teste TAP: implementa uma seqüência , determinada pelo padrão IEEE 1149.1, onde transições de estados são controlados pelo pino de seleção de modo de teste ("*Test Mode Select*", TMS) e o clock de Teste (TCK).

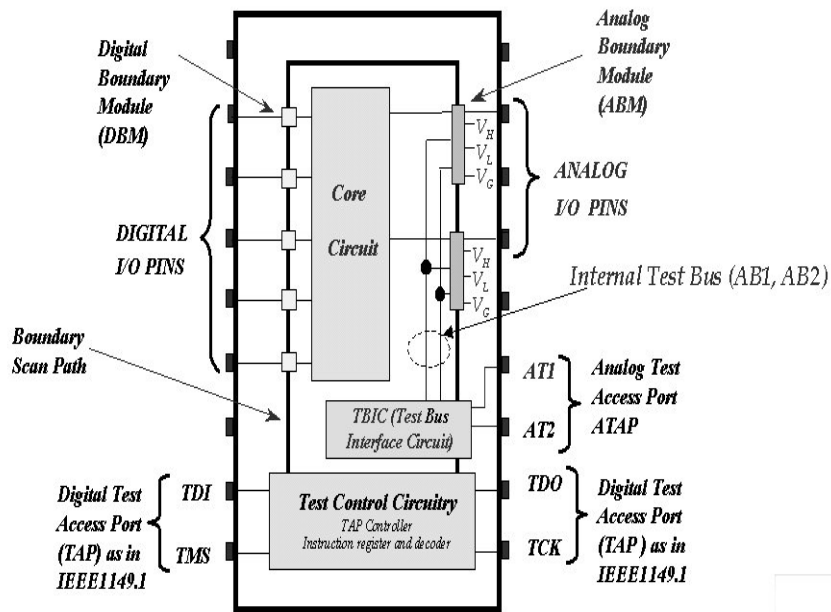


Figure 3.6: Configuração básica para o 1149.4Std.

A seguir são apresentados alguns detalhes adicionais do ABM e TBIC nas figuras 3.7 e 3.8. O “core” pode ser uma parte da estrutura analógica e o ABM pode ser usado para conectar vários “core”. A conexão entre eles é bidirecional.

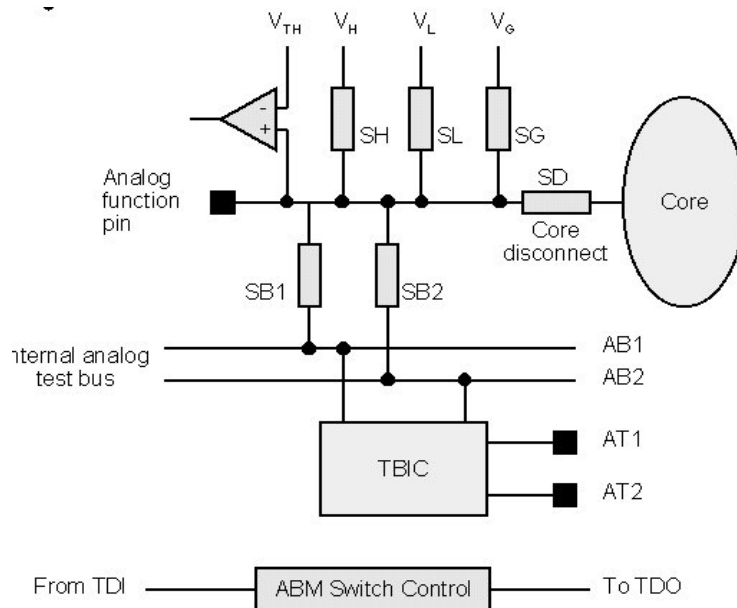


Figure 3.7: Detalhes do ABM

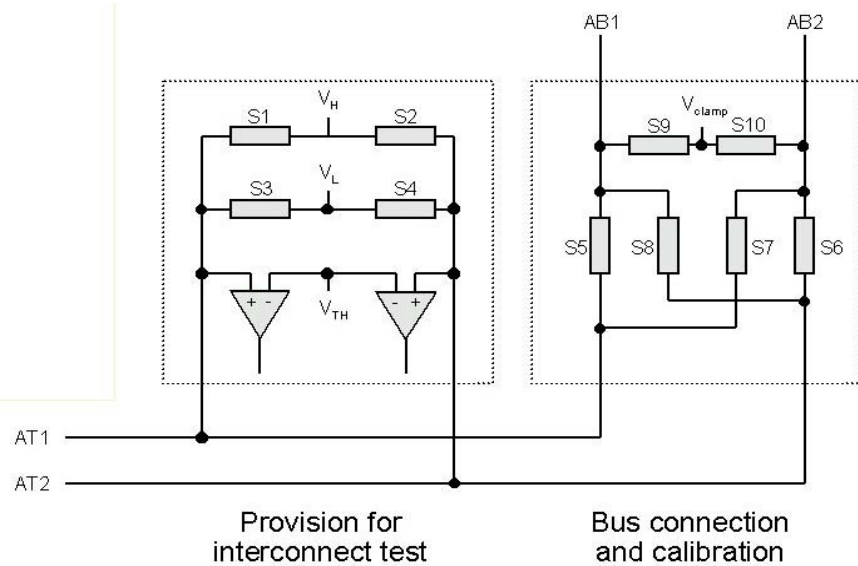


Figure 3.8: Detalhes do TBIC

No esquemático da figura 3.8, “S” representa as chaves analógico/digital, “V” as tensões, “th” significa *limiar*, “h” para nível lógico alto, “l” para nível lógico baixo. São usados o ABM e o DBM para interconectar cada bloco que compõe o A/D e, em alguns casos, implementa a estrutura de chaveamento para aplicar o vetor de teste independentemente em cada bloco. A resposta de teste será avaliada pelas estruturas internas do TBIC. Cada bloco tem que ser testado separadamente e, durante o teste, eles podem ser desconectados do resto do circuito através dos interruptores nomeados “SD”.

4 Conversor A/D por rampa digital de 6 bits

Neste capítulo, será apresentado a proposta para desenvolvimento do conversor A/D em estrutura MOS para tecnologia 0,35 μ m. Os blocos funcionais serão descritos e, para os blocos mais relevantes, será também abordada a modelagem matemática aplicada. Os primeiros itens comentarão as características da tecnologia utilizada em conjunto com a sua ferramenta CAE (“*Computer- Aided Engineering*”) / CAD (“*Computer- Aided Design*”).

4.1 A tecnologia utilizada

A tecnologia em questão propõe a utilização de tensões de alimentação distintas. Neste trabalho, será utilizado o processo que permite alimentação em 3,3V para circuitos que exigem elevada dissipação de potência.

As tensões máximas de V_{GS} , V_{DS} , V_{GB} , V_{DB} e V_{SB} são de 3,6V.

Outros parâmetros elétricos importantes podem ser observados na tabela 4.1.

Tabela 4.1: Parâmetros elétricos MOS

V_T (canal longo 10x10)	0,46V	-0,68
V_T (canal longo 10x0,35)	0,50V	-0,65
$V_{T\text{ linear}}$ (canal longo 10x0,35)	0,59V	-0,72
V_T (canal estreito 0,4x10)	0,46V	-0,90
V_T (canal pequeno 0,4x0,35)	0,48V	-0,68
Fator de ganho (K_P)	170 μ A/V ²	58 μ A/V ²
Corrente direta na saturação (ID_{SAT})	540 μ A/ μ m	-240 μ A/ μ m
	NMOS	PMOS

valores típicos

4.2 O simulador

A precisão de uma simulação de um circuito depende tanto da precisão dos modelos utilizados para os transistores e dispositivos do circuito, quanto da determinação precisa dos parâmetros dos modelos. Os parâmetros são extraídos de medidas elétricas feitas nos dispositivos reais. Portanto, uma parte essencial no uso dos simuladores é a extração precisa, dos dispositivos reais, dos valores dos parâmetros para os modelos utilizados. Por isso é fundamental o entendimento dos modelos utilizados nos simuladores e sua relação com os dispositivos reais. [20]

A ferramenta mais usada no CAD analógico sem dúvida é a simulação (ao nível de dispositivo ou comportamental), e tem como objetivo verificar a funcionalidade de um circuito sem a necessidade de construí-lo. O programa SPICE (*“Simulation Program with Integrated Circuit Emphasis”*), cujo desenvolvimento iniciou-se no final da década de 60 na Universidade da Califórnia em Berkeley tem sido o mais utilizado no projeto de circuitos MOS. Os circuitos MOS emergiram na década de 70, como a mais importante tecnologia para fabricação de circuitos integrados. O SPICE possui variantes como o HSPICE, SPECTRE e ELDO, existindo também fabricantes de CIs que desenvolveram versões adaptadas ao seu processo.

Nos dispositivos MOS de canal curto, muitos efeitos característicos passam a desempenhar um papel importante e o modelo de primeira ordem não representa com precisão a operação desses dispositivos. Desta forma, modelos mais elaborados foram necessários para se prever com precisão o desempenho dos circuitos antes dos mesmos serem fabricados. O SPICE possui modelos mais precisos que consideram esses efeitos de segunda ordem. Existem basicamente três níveis padrões de modelos no SPICE: nível 1 (Shichman-Hodges), nível 2 (modelo analítico) e nível 3 (modelo semi-empírico).

No nível 1 é usado para dispositivos MOS de grandes dimensões. O número de parâmetros é pequeno. No entanto, do ponto de vista educacional, ele é um modelo útil tanto para a simulação de circuitos analógicos quanto digitais.

No nível 2 permite uma descrição dos transistores MOS de pequenas dimensões e uma melhor modelagem a partir de equacionamentos mais sofisticados e um maior número de parâmetros. O grande inconveniente é que, além das equações serem mais sofisticadas, o tempo utilizado de CPU é grande, principalmente se todos os parâmetros forem considerados.

No nível 3, usam-se as mesmas equações do nível 2, porém com uma simplificação introduzida baseada em séries de Taylor, permitindo que as equações possam ser manipuladas com mais facilidade. O grande inconveniente do nível 3 é a complexidade de obter-se os parâmetros. Este nível, apesar da sofisticação e precisão, não serve para aplicação em circuitos analógicos, visto que não incorpora o " λ ", parâmetro essencial na análise de circuitos analógicos.

Na medida em que as dimensões dos dispositivos têm se reduzido continuamente com o avanço da tecnologia, outros programas de simulação, com novos modelos, têm sido desenvolvidos. Isto se deve ao fato do aparecimento do efeito de mecanismos físicos antes desprezíveis. O modelo BSIM, que é utilizado neste trabalho, é de domínio público e foi apresentado pela Universidade de Berkeley em julho de 1993. Tem como objetivo simular circuitos analógicos e digitais com dispositivos submicrométricos, com comprimento de canal de até $0,15\mu\text{m}$.

O BSIM foi desenvolvido numa análise quase bidimensional do transistor MOS. O modelo considera explicitamente o efeito de muitas variáveis concernentes ao tamanho do dispositivo e ao processo, para simulação conveniente do escalamento e previsão correta do comportamento dos

dispositivos. Isto evita a necessidade da alteração dos parâmetros do modelo com a redução das dimensões dos dispositivos.

Tabela 4.2: Características da maioria dos modelos existentes.

Modelo	L mínimo (µm)	Tox Mínimo (nm)	Precisão de Id na inversão forte	Precisão de Id em sublimiar	Parâmetros de pequenos sinais
MOS 1	5	50	Pobre	Não é modelado	Pobre
MOS 2	2	25	Pobre	Pobre	Pobre
MOS 3	1	20	Regular	Pobre	Pobre
Bsim 1	0,8	15	Boa	Regular	Pobre
Bsim 2	0,35	7,5	Boa	Boa	Regular
Bsim3v2	0,25	5	Boa	Boa	Boa
Bsim3v3	0,15	4	Boa	Boa	Boa

4.3 Descrição da Estrutura do Conversor Analógico Digital

O sistema para conversão A/D é apresentado no diagrama de blocos da figura 4.1. Conforme pode ser visto, o circuito consiste de um bloco “*Sample and Hold*”, onde uma amostra unipolar do sinal de entrada expressa como V_{SH} , é comparada com a tensão do conversor D/A, indicado por V_{DA} .

V_{DA} é um sinal crescente oriundo do processo de conversão da rampa binária. Quando V_{DA} se torna maior que $V_{SH}+V_T$ (V_T é a tensão de limiar do bloco comparador) resulta em um sinal de atualização do Latch de saída. Logo, pode-se observar que o Latch armazena o valor binário em que se encontra o contador no momento em que $V_{DA}>V_{SH}+V_T$.

A rampa binária provê a resolução desejada e é obtida por meio de quantidade de degraus, que, por sua vez, é diretamente ligada à quantidade de bits. Porém, um número muito grande de incrementos torna o sistema lento para sinais de entrada que variam rapidamente. No pior caso, com tensão máxima na entrada, o gerador de rampa deverá executar $(2^n - 1)$ incrementos, antes de identificar o valor na entrada (sendo 'n' a resolução em bits).

O conversor necessita de sinais de controle cujas funções são processar o sincronismo em amostrar o sinal, disparar o contador, atualizar a saída e preparar o dispositivo para o início de um novo ciclo de conversão. Este sincronismo é assegurado por dois sinais: $\phi 1$ e $\phi 2$.

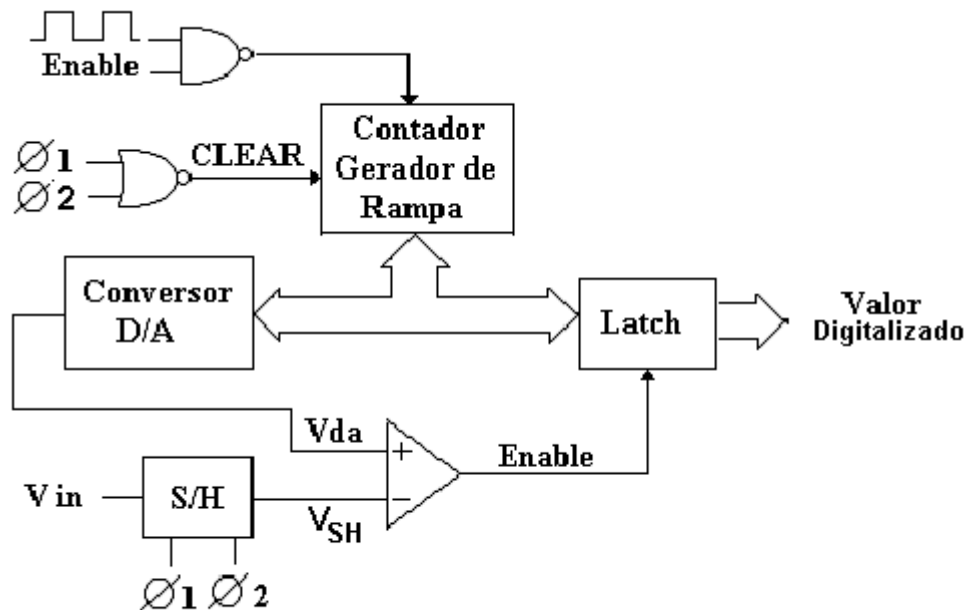


Fig 4.1: Diagrama em blocos do conversor A/D

Outros Métodos de Conversão

- **Paralelo** → É o método mais rápido. Uma forma simples de se visualizar este método de conversão é por meio de um conjunto de comparadores de tensão conectados de forma paralela com o sinal a ser codificado. Cada

comparador possui na entrada de referência uma fração da tensão máxima a ser convertida. À medida que a tensão de entrada aumenta, os comparadores indicam, progressivamente, que o valor de entrada excedeu a referência. As saídas de todos os comparadores entram em um codificador de prioridade, que indica, em sua saída, o valor binário correspondente à entrada mais prioritária que estiver ativa. As desvantagens principais deste tipo de método de conversão são o alto consumo e o excesso de área ocupada no circuito integrado.

- **Aproximações Sucessivas** → O método de aproximações sucessivas é semelhante ao do Contador-Gerador de Rampa, exceto que a forma de busca do valor que mais se aproxima da tensão de entrada é otimizada e mais rápida. Em lugar de um contador de incrementos começando em '0', tem-se um Registrador de Aproximações Sucessivas (RAS), que inicia pelo seu bit mais significativo em '1'. Se a saída do comparador indicar que a tensão de entrada ainda é maior que a tensão de comparação gerada, então este bit permanece em '1', caso contrário, o bit é colocado em '0'. Em seguida, o registrador altera o estado de seu próximo bit mais significativo para '1' e repete o teste. Após sucessivos testes com os bits subseqüentes, o registrador conterá o valor binário do sinal na entrada. O Registrador de Aproximações Sucessivas nada mais faz do que implementar uma busca binária. É o mais utilizado.

- **Rampa Dupla** → É um método lento, porém de alta resolução. O sinal de amostragem é entregue a um integrador que irá gerar uma rampa. Durante o primeiro período de conversão, a rampa (para cima) irá atingir um determinado nível de tensão positivo que depende unicamente da amostragem. No segundo período de conversão a entrada do integrador é chaveada para um valor de tensão, pré-definido, que altera o sentido da rampa (para baixo) até atingir 0V. No primeiro período, tem-se uma inclinação que depende da amostragem, já no segundo, tem-se uma inclinação fixa. Por motivos de proporcionalidade entre os valores de tensões e os tempos de rampa, pode-se estabelecer uma precisa contagem binária.

- ***Sigma-delta*** → O método é de alta resolução e não produz um número de múltiplos para cada amostra. Em vez disso, ele representa a tensão analógica variando a densidade de bits “1” em uma seqüência única de dados seriais.

A seguir serão sucintamente apresentados alguns detalhes dos blocos do diagrama apresentado na figura 4.1 para o conversor A/D proposto. Embora seja necessário, em alguns casos, análises no domínio da freqüência, o domínio do tempo será a base das análises para a caracterização das performances básicas.

4.4 O conversor D/A

O conversor D/A pode ser dividido em dois blocos o “Ladder” e o “Contador”. A figura 4.2 apresenta estes blocos.

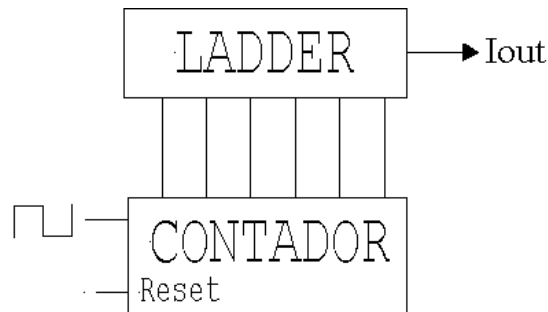


Fig 4.2: Diagrama do Conversor D/A.

O contador montado com Flip-Flop configurados em “T”, fornece a informação digital que deve ser transformada em um valor analógico-discreto (rampa de valores definidos pela contagem binária). Cada combinação digital contribui com uma quantidade de corrente diferente na saída analógica. As contribuições de cada saída digital (bit) são ponderadas de acordo com a sua posição no número binário. A figura 4.3 apresenta os detalhes do contador.

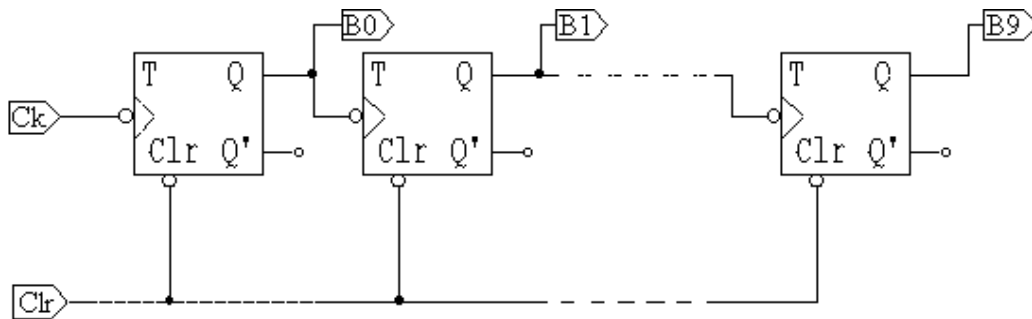


Figura 4.3: Diagrama esquemático do Contador.

A cada pulso de clock, o contador atua formando uma rampa digital crescente. Uma entrada CLEAR garante que o processo inicie sempre com o contador zerado, condição determinada pelos pulsos de controle ϕ_1 ou ϕ_2 . A frequência de clock é de 1MHz.

A figura 4.4 apresenta os detalhes da construção do circuito Ladder utilizado. Os circuitos D/A podem ter diversas configurações, a mais conhecida utiliza uma rede de resistores ponderados para produzir o peso apropriado de cada bit. Apesar de esse método funcionar na teoria, ele tem algumas limitações práticas. O maior problema é a grande diferença nos valores dos resistores entre LSB e MSB, especialmente em D/A de alta resolução (muitos bits). Por exemplo, para um MSB de $1K\Omega$ em um D/A de 10 bits, o resistor LSB será de $512K\Omega$. Com a atual tecnologia de processo é muito difícil produzir valores de resistências por uma faixa tão longa de resistências que ainda mantenha uma razão precisa, especialmente com variações na temperatura.

Por essa razão, é preferível ter um circuito que utilize resistências com valores mais próximos entre si e possa até mesmo ser desenvolvido com a própria resistência R_{ON} de um transistor MOS na saturação. Por esse motivo, foi utilizado o D/A com rede R/2R, no qual os valores de resistência estão em uma faixa de apenas 2 para 1.

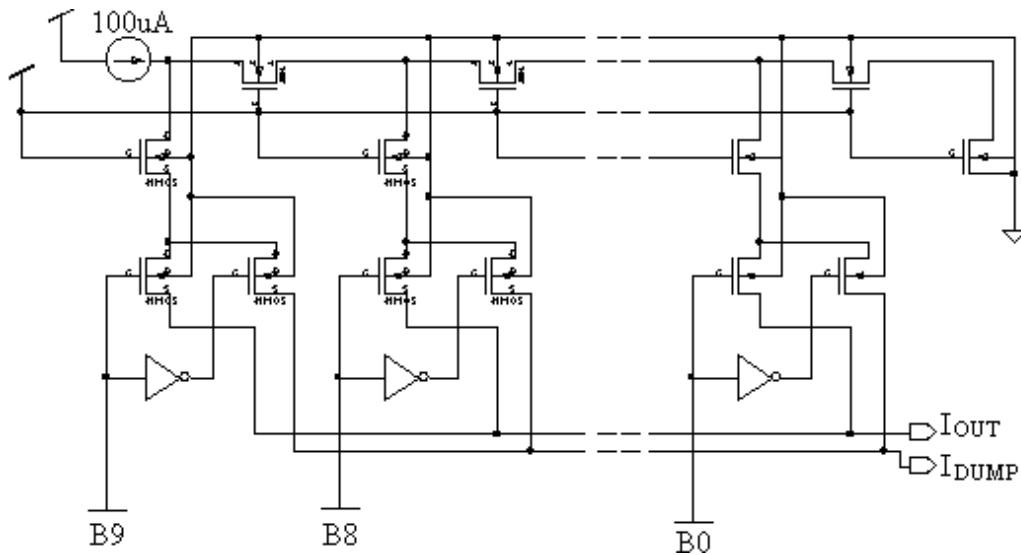


Figura 4.4: Diagrama esquemático do Ladder.

A corrente I_{OUT} depende da posição das chaves MOS que são controladas pelas entradas binárias provenientes do contador. Uma corrente constante de $100\mu A$ ($I_{DS035N}=540\mu A/\mu m$) é entregue ao conversor e, para garantir que esta corrente flua constantemente, há dois caminhos de saída: I_{OUT} e I_{DUMP} . Pode-se observar que, independentemente do valor binário, o conversor sempre atuará com um fornecimento de corrente constante, o que proporciona uma estabilidade de funcionamento dos transistores de topo sem a inconveniente redistribuição de cargas. Quanto mais significativo é o bit, maior é a corrente e no final temos um somatório de correntes. Todos os transistores MOS são em tamanho reduzido.

A figura 4.5 apresenta o comportamento do circuito “Ladder” da figura 4.4. A corrente I_{OUT} acompanha a rampa digital proveniente do contador.

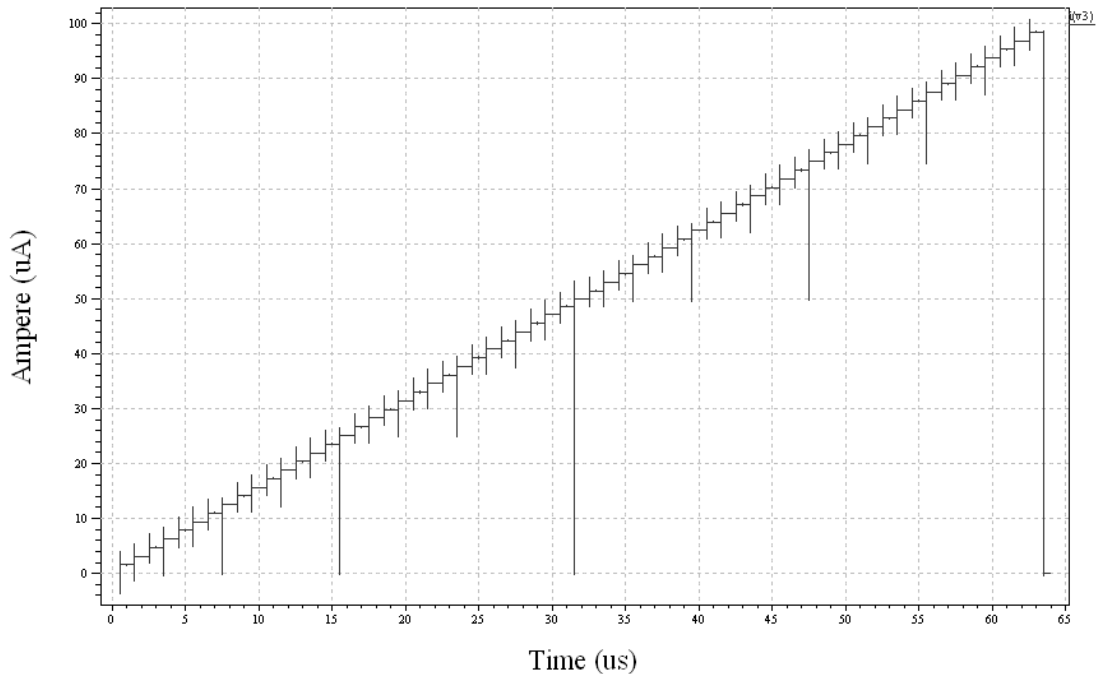


Figura 4.5: Rampa de corrente do D/A.

Os ruídos observados na rampa são conhecidos como “*glitches*”. Isto ocorre por causa da diferença dos tempos de troca de bits entre o LSB e MSB do contador que é assíncrono. O que está ocorrendo no instante do pico é a perda dos níveis de saída correspondentes as entradas digitais. As maiores transições ocorrem na metade da escada quando o conversor troca todos os bits envolvidos na mudança de códigos, isto é, de 011111 para 100000, pois antes de o MSB ter seu nível lógico alterado para “1”, os outros bits já se encontram em nível lógico “0”. Na prática, em uma aproximação forçada, a transição será 011111 – 000000 (ocorrência de um *glitch*) -100000.

Uma solução para reduzir o “*glitch*” é adicionar na saída do D/A um circuito conhecido como “*deglitcher*”. Entretanto, como o circuito pós D/A de corrente que naturalmente faz parte do sistema de conversão é um conversor corrente/tensão, pode-se observar, que esse circuito, por sua própria característica de construção, não responderá aos ruídos de “*glitch*”, sendo desnecessário o uso de blocos intermediários de filtragem (“*deglitcher*”).

4.5 Conversor Corrente-Tensão

Um Amplificador Operacional tipo “Miller” foi configurado para transformar o sinal de corrente proveniente do D/A em tensão. É importante que o amplificador possua boa linearidade e retrate perfeitamente as variações ocorridas em sua entrada. O esquemático do amplificador está mostrado na figura 4.6.

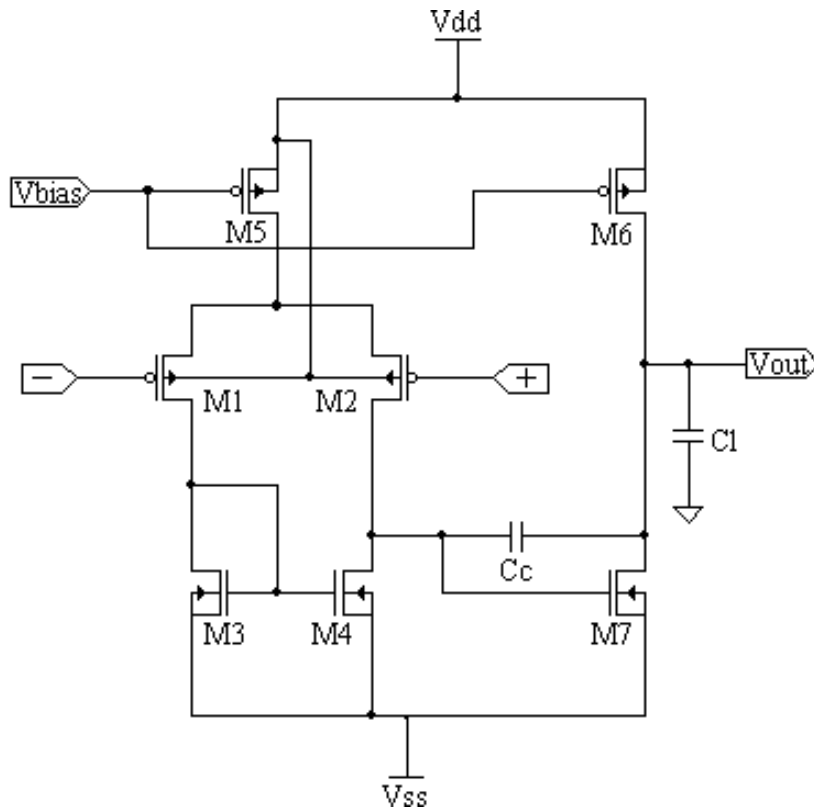


Figura 4.6: Diagrama esquemático do AmpOp

O primeiro estágio é composto pelo par diferencial M1/M2, as cargas M3/M4 e a fonte de corrente M5. O segundo estágio é um amplificador do tipo Miller.

O ganho em frequência é dado pela expressão 4.1

$$A = \frac{gm2.gm7}{(go2 + go4).(go7 + go6)} \quad (4.1)$$

A função do capacitor da compensação C_C é separar os pólos do amplificador a fim de impedir a instabilidade.

Foram utilizados os resultados obtidos em [10] e o gráfico da figura 4.7 servirá para a determinação dos tamanhos dos transistores.

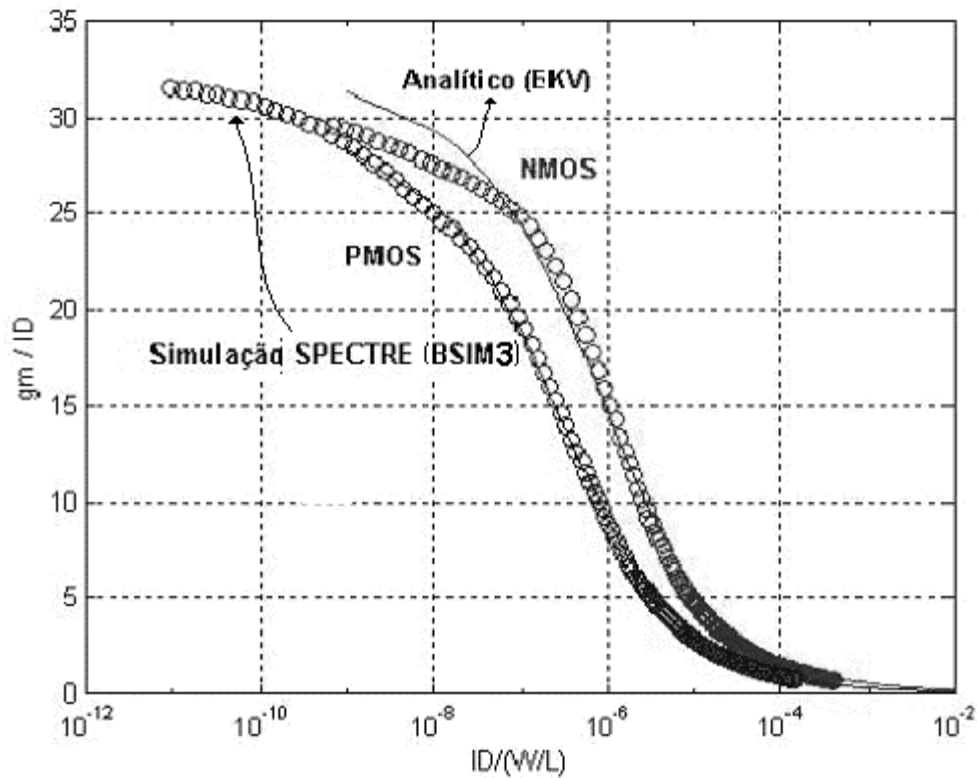


Figura 4.7: Gráfico $gm/Id \times Id$

As especificações obtidas para o amplificador operacional (AmpOp) estão apresentadas na tabela 4.3.

Tabela 4.3: especificações do AmpOP.

Característica	Valor ou valor limite
Ganho de Banda (A_v)	>10000
Ganho de largura de banda (GBW)	15MHz
Faixa de entrada em modo comum (ICMR)	-1 a 0.5V
Slew Rate (SR)	>18V/ μ s
Capacitor de carga (C_L)	10pF
Fonte positiva (V_{dd})	1.65V
Fonte Negativa (V_{ss})	-1.65V

Estabelecendo o valor do capacitor de compensação C_C com o pólo dominante de saída em 2,2 vezes o GBW e assumindo “ z_1 ” maior que 10GBW, tem-se em 4.3 o valor de C_C .

$$C_C = 0,22.C_L \quad (4.2)$$

$$C_C \cong 2,5\text{pF} \quad (4.3)$$

A corrente de polarização é extraída através do SR na forma apresentada em 4.5:

$$I_{BIAS} = C_C \cdot SR \quad (4.4)$$

$$I_{BIAS} = 45\mu\text{A} \quad (4.5)$$

A determinação de gm/I_D é apresentada na tabela 4.4.

Tabela 4.4: gm/I_D dos transistores

TRANSISTORES	gm/I_D
M_1 e M_2	$gm/I_D = 10,47$
M_3 e M_4 (devem operar na região de inversão forte)	$gm/I_D = 10$
M_7 (sabendo-se que $gm_7 \geq 10gm_1$)	$(gm/I_D)_7 = 10$
M_5 e M_6	$gm/I_D = 7$

Escolhidos os g_m/I_D , a corrente normalizada $I_D/(W/L)$ é determinada por meio da curva de cada transistor.

O comprimento de canal L é determinado a fim de se obter uma melhor relação entre área e ganho DC. O valor escolhido foi de cinco vezes o tamanho mínimo permitido pela tecnologia.

A tabela 4.5 apresenta o dimensionamento W/L para os transistores.

Tabela 4.5: Dimensionamento dos transistores.

	W/L	$W(\mu m)$	$L(\mu m)$
M1	36	54	1.5
M2	36	54	1.5
M3	10	15	1.5
M4	10	15	1.5
M5	30	45	1.5
M6	158	237	1.5
M7	103	154.4	1.5

O amplificador obteve excelente resposta na configuração tensão controlada por corrente. A rampa proveniente do ladder foi aplicada na entrada inversora como mostra a figura 4.8.

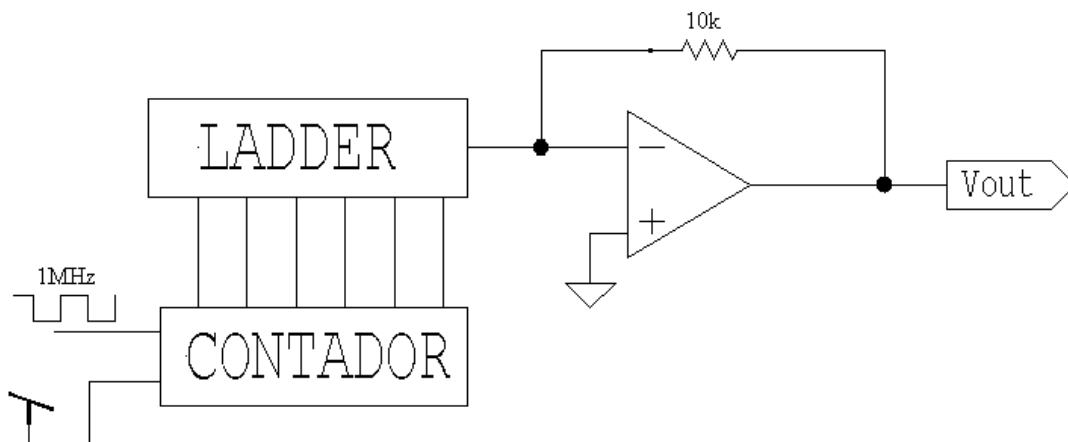


Figura 4.8: Diagrama do Conversor Corrente/Tensão

O resistor $R_L = 10k\Omega$ de realimentação garante a saída com V_{OUT} máximo de $-1V$ ($V_{out} = -I \cdot R_L$). A figura 4.9 apresenta a resposta do circuito à rampa de corrente.

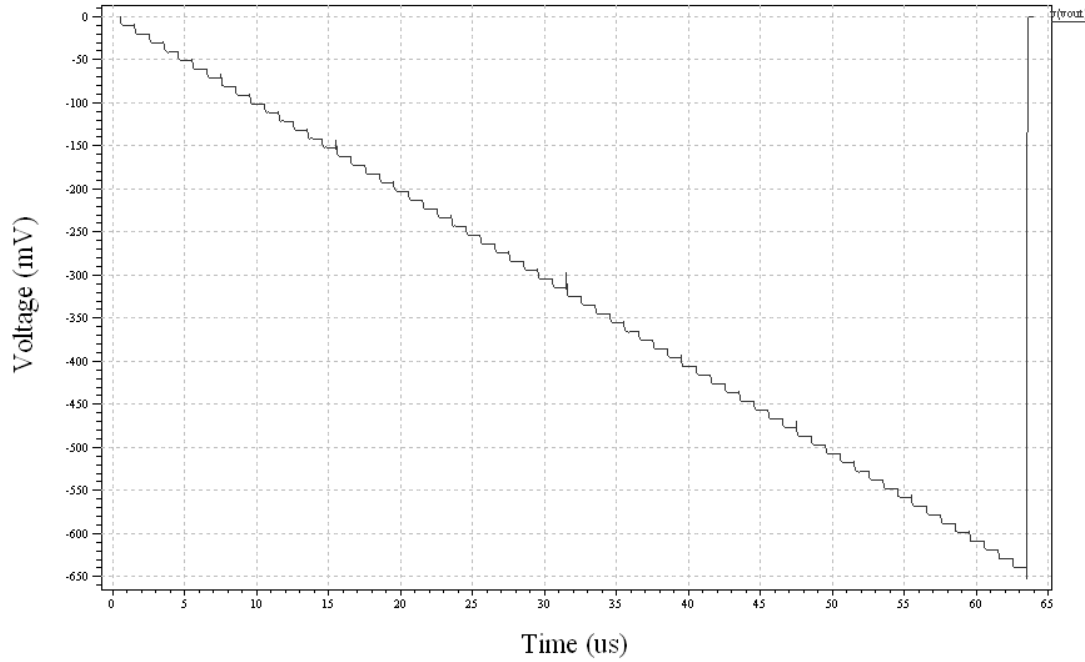


Figura 4.9: Resposta do Conversor Corrente/Tensão

4.5.1 Resolução

Um D/A não é capaz de gerar uma faixa contínua de valores de saída e, assim, estritamente falando, sua saída não é verdadeiramente analógica, podemos dizer que se trata de um valor analógico *discreto*.

A saída de *fundo de escala*, que é o valor máximo que o D/A pode atingir, foi extraído de simulação com valor de $0,98V$, o que garante a resolução (tamanho do degrau) da expressão 4.7.

$$resolução = \frac{A_{FS}}{(2^n - 1)} \quad (4.6)$$

$$resolução = \frac{0,98}{(2^6 - 1)} = 15,55mV \quad (4.7)$$

onde: A_{FS} é o valor da saída quando a palavra binária é a maior possível.

n é o número de bits.

A diferença entre a quantidade real (sinal de entrada) e o valor discreto oriundo do D/A que será chamado de V_{DA} é denominado *erro de quantização*. Assim, a tensão na saída do operacional é uma aproximação do valor do sinal que será digitalizado e o melhor que se pode esperar é que V_{DA} esteja no máximo a 15,55mV do sinal de entrada.

4.5.2 Resolução percentual

Embora a resolução possa ser expressa como a quantidade de tensão por degrau, também é útil expressá-la como porcentagem da *saída de fundo de escala*. O D/A deste trabalho tem a máxima tensão no valor de 0,98V . O tamanho do degrau é de 15,55mV, o que resulta em uma resolução percentual vista na expressão 4.9.

$$\%resolução = \frac{\text{tamanho do degrau}}{A_{FS}} \times 100\% \quad (4.8)$$

$$\%resolução = \frac{15,55mV}{0,98V} \times 100\% \approx 1,53\% \quad (4.9)$$

Quanto maior for o número de bits, maior será a resolução. O projetista de sistema tem de decidir a resolução necessária com base no desempenho

requerido para o sistema. O custo do D/A aumenta com o número de bits e, portanto, o projetista deve escolher somente a quantidade necessária para a sua aplicação.

4.5.3 Erro de Offset

Idealmente, a saída de um D/A será zero volts quando a entrada binária estiver com todos os bits em “0” . Entretanto, na prática, existirá uma corrente muito pequena na saída, isto é denominado *erro de “Offset”*. Esse erro será somado à saída em todos os casos. No D/A deste trabalho foi analisado por simulação um erro de $20,58\mu\text{V}$.

Outros erros em um conversor A/D

❖ Erro de Differential Non-Linearity (DNL)

Descreve a diferença entre dois valores de sinais analógicos adjacentes , gerados pela transição entre códigos adjacentes da entrada, comparada com a resolução do conversor. O DNL tem valor igual a zero quando a transição entre vizinhos for igual ao valor da resolução, valor positivo quando a transição for maior do que a resolução e valor negativo quando a transição for menor que a resolução.

❖ Erro de Integral Non-Linearity (INL)

É a diferença entre valores possíveis na saída, valores associados aos códigos binários da entrada, e a linha que passa através do primeiro e último valores possíveis na saída, a linha de referência.

4.6 O “Sample and Hold”

Quando uma tensão analógica é conectada diretamente na entrada de um A/D, o processo de conversão pode ser afetado se a tensão analógica estiver mudando durante o tempo de conversão. A estabilidade do processo de conversão pode ser melhorada usando-se um circuito de amostragem e retenção (SAMPLE/HOLD) para manter a tensão analógica constante enquanto a conversão estiver sendo realizada. A figura 4.10 mostra o esquemático do circuito *Sample and Hold* que foi construído para o A/D.

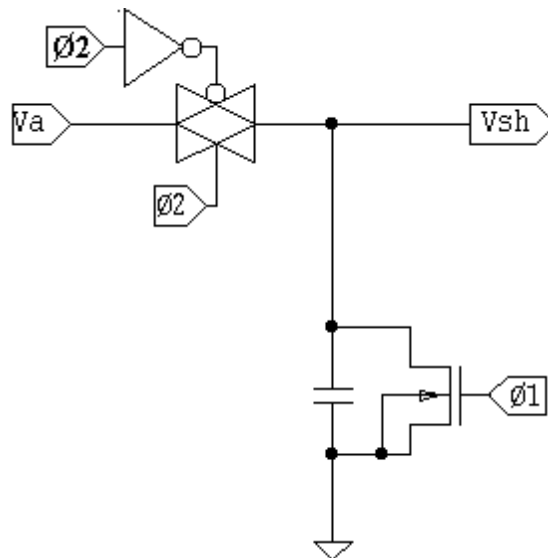


Figura 4.10: Diagrama esquemático do Sample Hold

O capacitor C_{SH} será conectado na entrada V_A quando a chave controlada por ϕ_2 for fechada (amostragem). A chave permanecerá fechada o suficiente para carregar o capacitor. A escolha do valor do capacitor baseia-se na unidade padrão da tecnologia para valores de capacitores construídos de POLY1 para POLY2 ($0,86fF/\mu m^2$). O valor escolhido foi de 50 vezes o mínimo, o que resulta em um capacitor de $43fF/\mu m^2$.

Foram realizados testes com um sinal de entrada fixo em 1V (pior caso previsto), como mostra a figura 4.11.

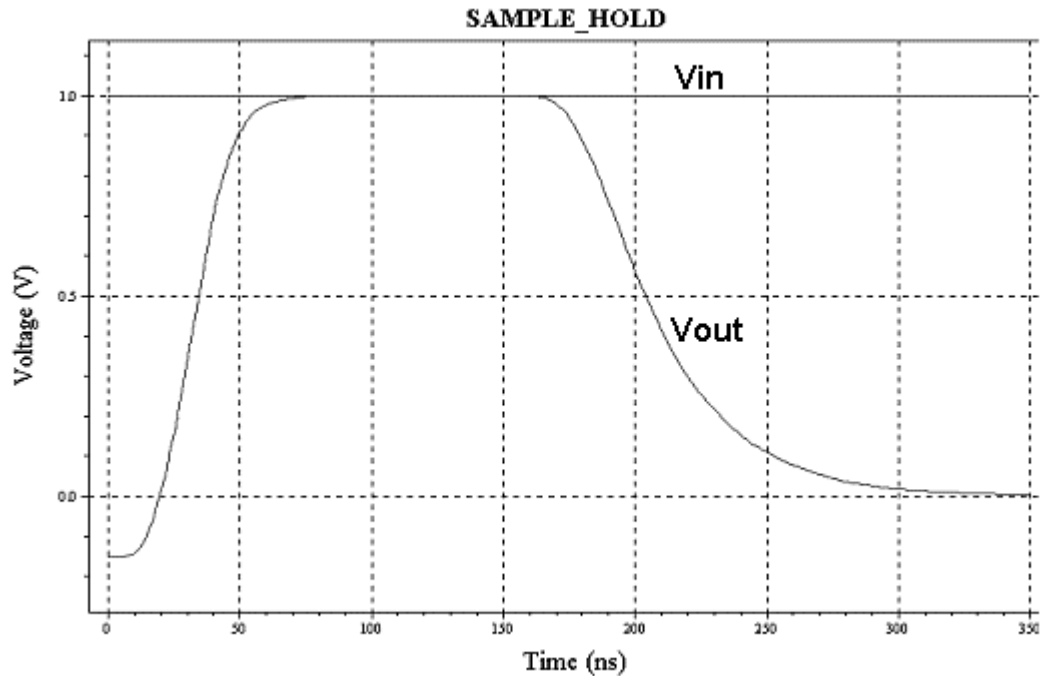


Figura 4.11: Tempos de Carga e descarga do capacitor de amostragem C_{SH}

Pode-se observar que o capacitor alcança a tensão de amostragem em aproximadamente 60ns enquanto a descarga é de aproximadamente 180ns . É importante comentar que no circuito pós sample está conectado um capacitor de carga $C_L = 10\text{pF}$.

Já a figura 4.12 demonstra um sinal senoidal de 20 KHz e a sua cópia discretizada em intervalos de $4\mu\text{s}$ pelo sample and hold.

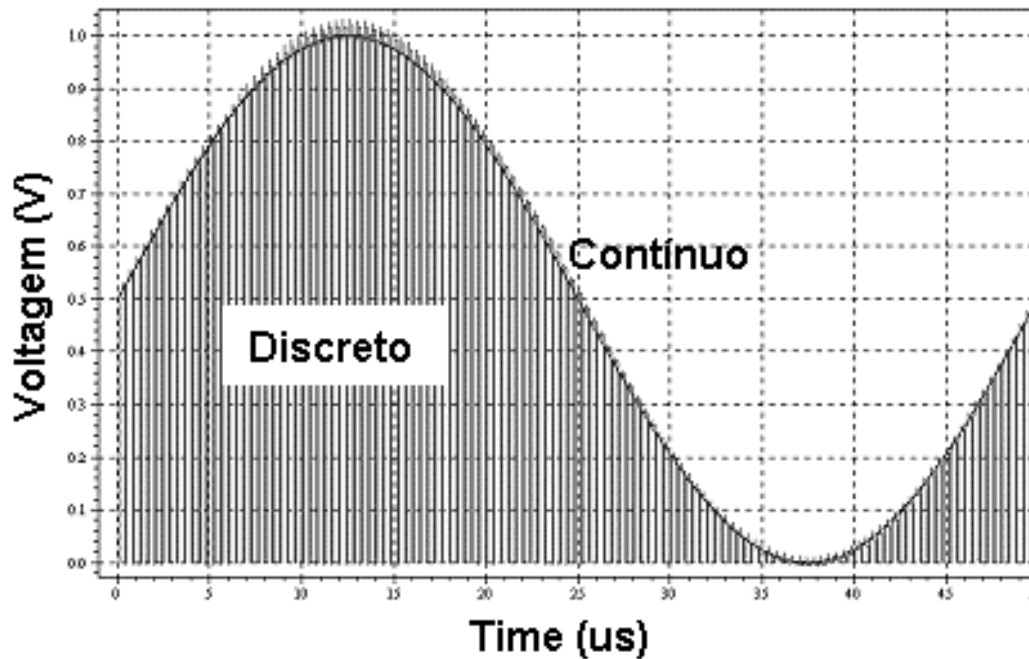


Figura 4.12: Desempenho do *Sample and Hold*

4.7 A chave analógica

A chave analógica é utilizada no processo de *Sample and Hold* mostrado na figura 4.13 tem a função de permitir a passagem do sinal de amostragem, interrompendo-a quando for iniciado o processo de conversão da amostra carregada. A chave ideal seria de $R_{ON}=0$, logo o modelamento que será demonstrado a seguir tem como objetivo diminuir a resistência da chave ao máximo.

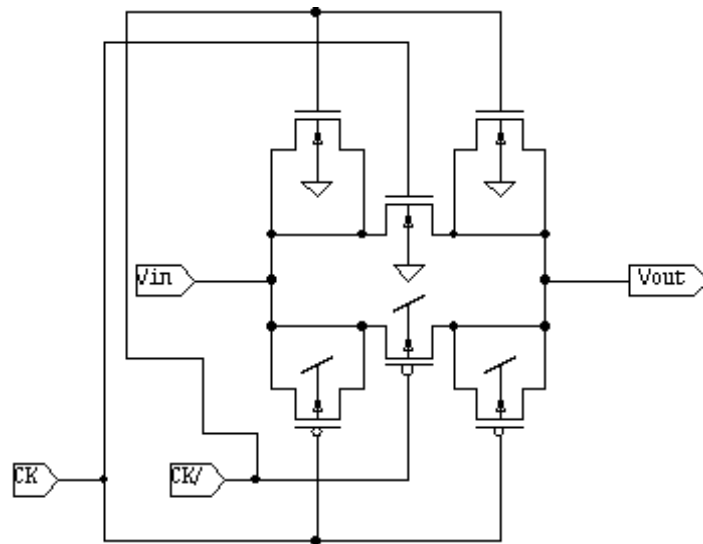


Fig 4.13: Diagrama esquemático da Chave Analógica

A expressão 4.10 apresenta o valor da condutância G_{ON} dos transistores de chave.

$$G_{ON} = \frac{W_P}{L_P} k_{p_P} (V_{IN} - |V_{t_P}|) + \frac{W_N}{L_N} k_{p_N} (V_{DD} - V_{t_n} - V_{IN}) \quad (4.10)$$

Tentando estabelecer uma simetria entre as chaves, a resistência R_{ON} foi forçada a ser constante fazendo $\frac{\partial G_{ON}}{\partial V_{IN}} = 0$:

Se:

$$\frac{\partial G_{ON}}{\partial V_{IN}} = -\frac{W_P}{L_P} k_{p_P} - \frac{W_N}{L_N} k_{p_N} = 0 \quad (4.11)$$

Logo:

$$\frac{W_P/L_P}{W_N/L_N} = \frac{k_{p_N}}{k_{p_P}} \quad (4.12)$$

Utilizando os parâmetros do processo temos:

$$KP_N = 170 \frac{\mu A}{V^2} \quad (4.13)$$

$$KP_P = 58 \frac{\mu A}{V^2} \quad (4.14)$$

$$L_P = L_N = 0.35 \text{ (tamanho mínimo)} \quad (4.15)$$

$$W_N = 3.5 \mu m \text{ (dez vezes o tamanho mínimo)} \quad (4.16)$$

$$W_P = 10.26 \mu m \quad (4.17)$$

Os transistores com fonte (“*source*”) e dreno (“*drain*”) em curto-circuito auxiliam na reposição de cargas e são chamados de “*dummy*”. Para o cálculo dos transistores dummy foram utilizadas as equações 4.18 e 4.19.

$$W_{p,dummy} = \frac{W_P}{2} = 5.13 \mu m \text{ com “L” iguais.} \quad (4.18)$$

$$W_{N,dummy} = \frac{W_N}{2} = 1.75 \mu m \text{ com “L” iguais} \quad (4.19)$$

4.8 Circuito Comparador

Para que o amplificador operacional possa funcionar como comparador basta que ele possua um ganho alto (em torno de 1000) e que a tensão de referência seja colocada na entrada positiva. Enquanto a tensão de entrada estiver acima da tensão de referência, a saída do operacional estará no nível lógico ‘0’. Assim que a tensão de entrada se tornar um pouco inferior à de referência, a tensão de saída será amplificada pelo valor do ganho do circuito,

atingindo o limite de saturação do amplificador. Neste caso a saída do amplificador irá para o nível lógico '1'.

Apesar de os amplificadores operacionais serem construídos para trabalhar com os sinais analógicos, o seu uso como condicionador de sinais em sistemas digitais é bastante comum, pois além das características já mencionadas, eles podem executar o chaveamento entre o estado cortado (0) e saturado (1), de forma compatível com os circuitos “puramente” digitais. Dentro destas características de chaveamento, o parâmetro 'slew-rate' torna-se bastante importante para a determinação da frequência máxima de operação. O 'slew-rate' pode ser descrito como o tempo mínimo em que o amplificador responde a um degrau de tensão em sua entrada. Este tempo é tomado entre 10% e 90% do degrau na saída. Sua unidade é expressa em volts por segundo. Para se conseguir um valor de slew-rate compatível com as velocidades exigidas pelo conversor A/D, foi utilizado uma configuração em que o tempo de resposta é o fator principal na determinação do tamanho dos transistores, podendo-se abrir mão da linearidade do amplificador operacional convencional.

O comparador TRACK-AND-LATCH mostrado na figura 4.14 consiste em um par diferencial NMOS (M1 e M2), dois inversores realimentados (M3/M8 e M4/M9), dois transistores PMOS de reset (M6/M7) e uma fonte de corrente M5 controlada pelo *clock*. Durante o ciclo ativo do clock (nível lógico 1), os transistores de reset ficam abertos e o par diferencial é ativado realizando a comparação. O slew-rate do comparador é o fator primordial para a determinação da frequência máxima de *clock*.

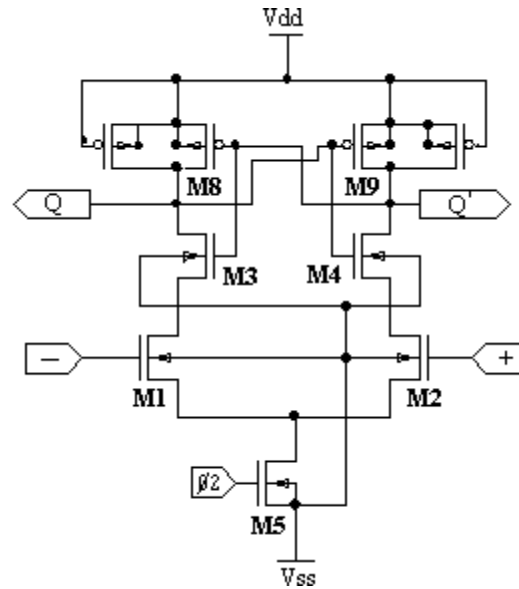


Figura 4.14: Diagrama esquemático do Comparador Track and latch

As especificações do comparador estão na tabela 4.6.

Tabela 4.6: Especificações do comparador

PARÂMETRO	VALOR
Sensibilidade	5mV
Frequência de operação	5MHz,
Slew Rate	100V/ μ s
Capacitor de carga	100fF
Alimentação positiva	1,65V
Alimentação negativa	-1,65V

Para as especificações desejadas foram escolhidos os tamanhos de transistores como apresentados na tabela 4.7.

Tabela 4.7: Dimensões dos transistores

	W/L	W(μm)	L(μm)
M1	22	33	1,5
M2	22	33	1,5
M3	2,4	6	2,5
M4	2,4	6	2,5

Foi aplicada ao comparador a frequência de clock de 1MHz, frequência que será a mesma de operação do conversor A/D. Quando em nível lógico “1”, tem-se a atualização de comparação e no “0” tem-se o período de *reset*. O circuito subsequente ao comparador deve possuir um módulo que não permita que no período de *off* (nível lógico “0” do *clock*) seja modificada uma comparação anterior. Isso é garantido por uma lógica AND, ou seja, uma das entradas da porta é o próprio clock que, estando em nível “0”, garante na saída da porta também um nível lógico “0”; quando o nível lógico estiver em “1” deixa a outra entrada, que é a saída do comparador, determinar o nível lógico de saída da porta. É importante salientar que um nível lógico baixo na saída da porta não influencia na atualização dos latches de saída do conversor.

A figura 4.15 demonstra o slew-rate de resposta à atualização do conjunto comparador e lógica de controle. Já a figura 4.16 apresenta o esquemático do próprio circuito comparador em conjunto com a lógica de controle.

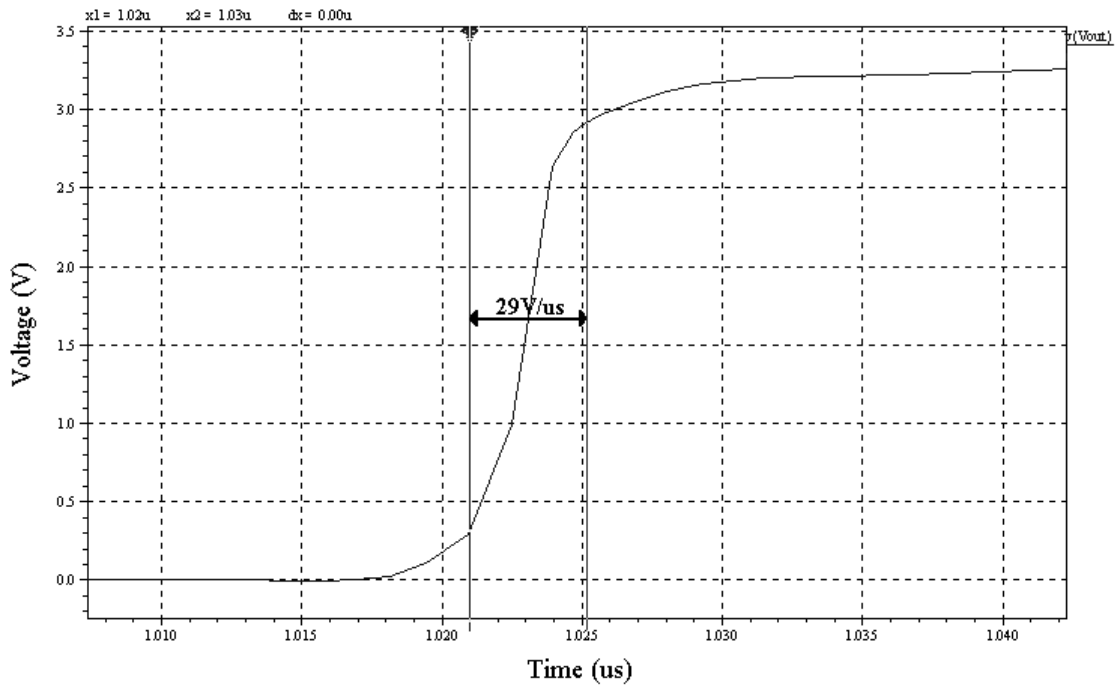


Figura 4.15: Slew-rate do conjunto comparador e lógica de controle

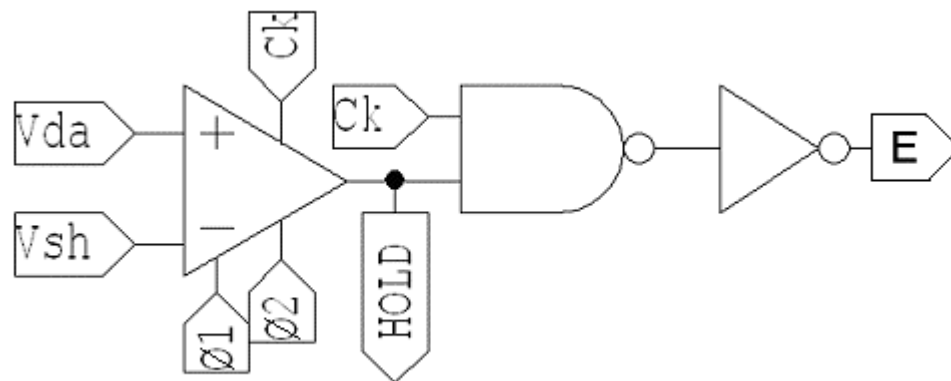


Figura 4.16: Diagrama de configuração do módulo de comparação.

A saída “E” é o habilitador da atualização dos *latches*. O sinal de *clock* atua como habilitador da saída “E” através da porta lógica AND.

Já a saída HOLD da figura 4.16 tem a função de bloquear os pulsos de clock quando a rampa V_{DA} supera negativamente a amostra V_{SH} , isto garantirá que a última contagem, antes do bloqueio, permaneça até o fim de um ciclo de conversão. Na figura 4.17 podemos observar que um nível lógico alto de *hold* inibe a passagem de *clock*.

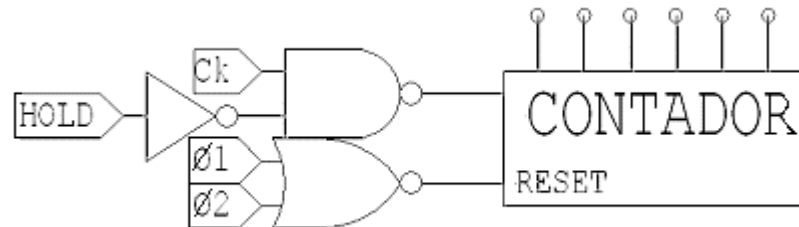


Figura 4.17: Atuação do sinal HOLD sobre o contador.

4.9 O Bloco de Controle

Os sinais $\phi 1$ e $\phi 2$ formam um conjunto de pulsos defasados de vital importância no sincronismo do sistema. A figura 4.18 mostra um diagrama de tempos dos pulsos de controle.

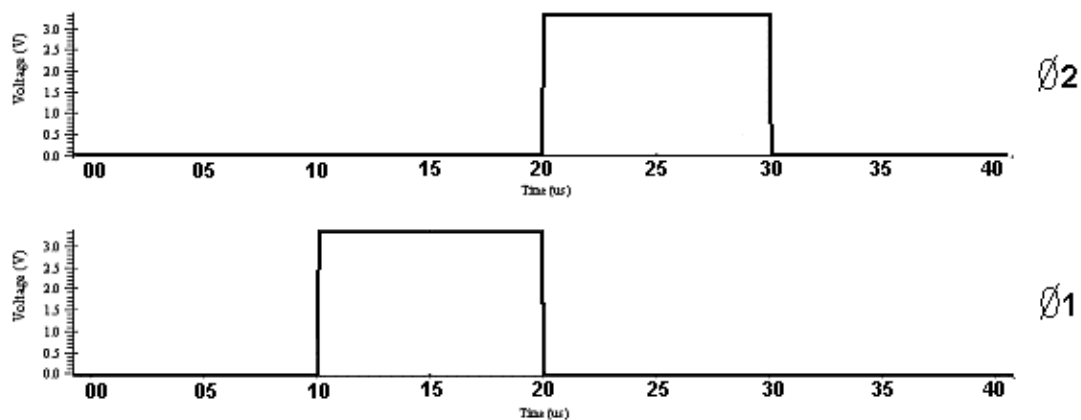


Figura 4.18: Diagrama de tempos dos pulsos de controle

O pulso de $\phi 1$ tem a função principal de descarregar o capacitor de sample de qualquer carga presente da amostragem anterior. Isto é garantido através de um NMOS em paralelo com o capacitor como mostra a figura 4.19.

Como segunda função, $\phi 1$ é responsável pelo *reset* do contador, pois, caso o estado do contador não seja zero, haverá uma atualização errada do *latch* de saída.

O pulso $\phi 1$ é utilizado também como inibidor do comparador, garantindo um período de controle sem conversão.

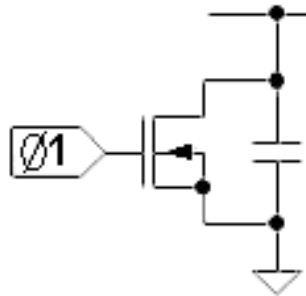


Figura 4.19: Atuação de $\phi 1$ sobre o capacitor de *Sample and Hold*

Já o pulso $\phi 2$ é responsável pela carga de amostragem, permitindo a passagem do sinal de entrada através da chave analógica até o capacitor de *sample* como demonstrado na figura 4.20.

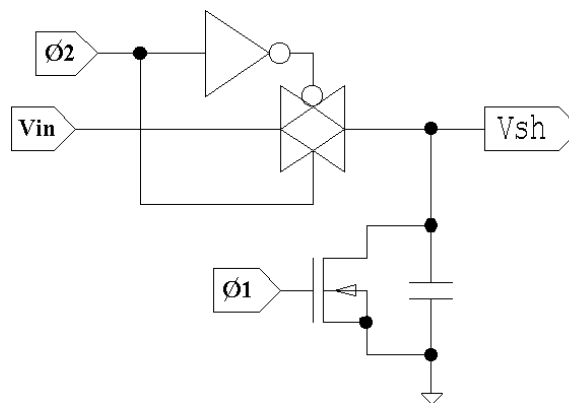


Figura 4.20: Atuação de $\phi 2$ no circuito de *Sample and Hold*

Assim como ϕ_1 , ϕ_2 também possui as mesmas funções adicionais, haja vista que este pulso inicia-se logo após o término de ϕ_1 . Pode-se dizer que o conjunto ϕ_1 e ϕ_2 controla a amostragem e, ao mesmo tempo, inibe a conversão. Na função de inibição, sempre existirá uma lógica “OU” entre os dois sinais.

A figura 4.17 apresenta as atuações de ϕ_1 e ϕ_2 como inibidores da contagem sobre o *reset*.

4.9.1 “Aliasing”

Para evitar perda da informação, quando da reconstrução do sinal, este tem de ser amostrado a uma taxa maior do que duas vezes o componente de maior frequência do sinal de entrada, obedecendo ao critério de Nyquist [21]. A frequência na qual as amostras são obtidas é conhecida como *frequência de amostragem*, F_A . O fenômeno do *aliasing* (falseamento ou superposição) ocorre quando um sinal falso é gerado pela amostragem do sinal a uma taxa menor do que a taxa mínima de Nyquist. O intervalo entre os pulsos de controle (ϕ_1 e ϕ_2), neste trabalho, determina a frequência de amostragem.

4.10 Circuito de captura (“latch”)

A saída digital é garantida por um banco de registradores do tipo *latch*, que são atualizados toda vez que V_{DA} (tensão do conversor D/A) se torna menor que V_{SH} (tensão de amostra). A figura 4.21 apresenta o diagrama esquemático do registrador.

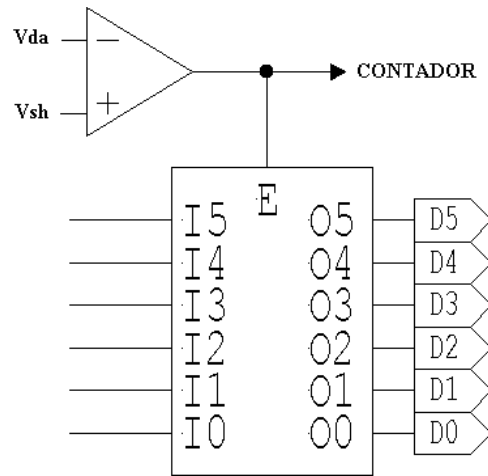


Figura 4.21: Atuação do comparador sobre o Latch

A célula latch (para cada bit) é composta por uma estrutura MOS apresentada na figura 4.22. Todos os transistores têm L em tamanho mínimo e $W = 1\mu\text{m}$ e conseguem atingir a frequência de 200 MHz.

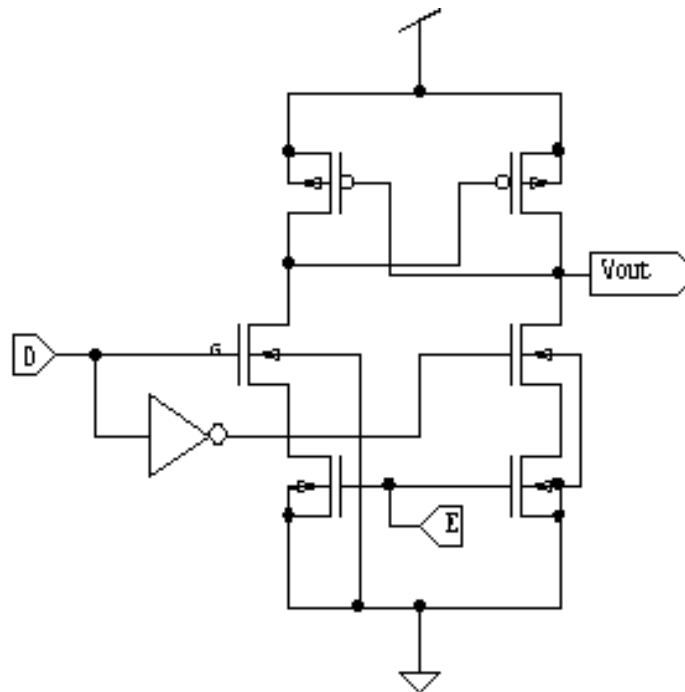


Figura 4.22: Diagrama esquemático da célula Latch

Para efeito de testes, foi aplicado à entrada do *latch* o nível lógico “1” e um pulso à entrada “E”. Na figura 4.23 podemos observar que após o pulso, a saída é carregada com estado da entrada.

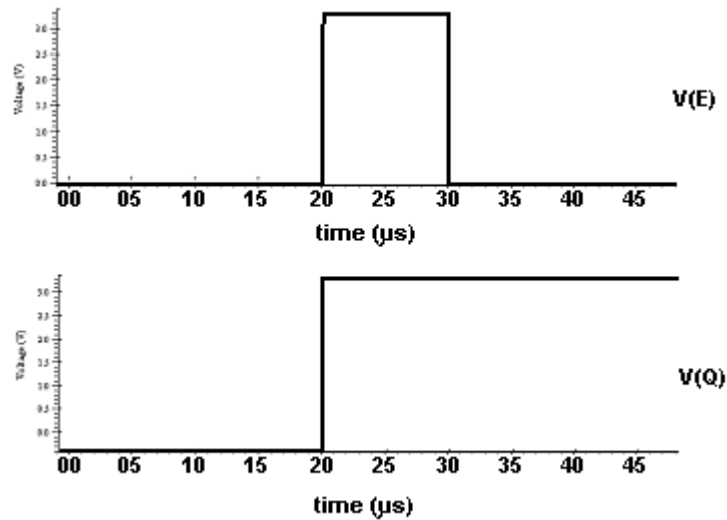


Figura 4.23: Atuação do pulso de habilitação sobre o *Latch*

4.11 Dispositivos Lógicos primitivos

Os dispositivos lógicos primitivos são construídos usando lógica CMOS, que utilizam transistores complementares em tamanho mínimo. A figura 4.24 apresenta, da esquerda para a direita, um inversor, uma porta NAND e um Flip-Flop do tipo T.

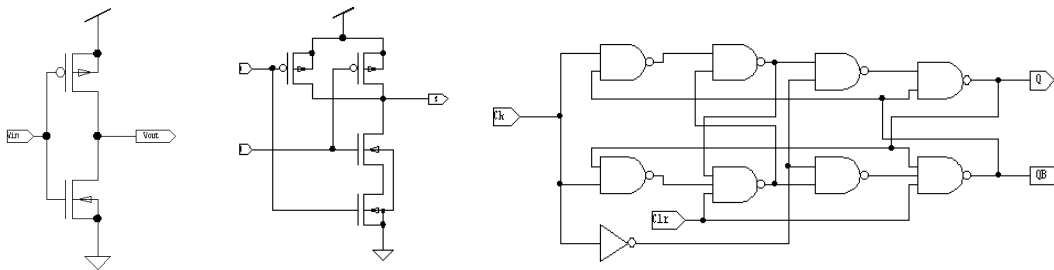


Figura 4.24: Diagrama esquemático dos dispositivos primitivos.

Um pulso de $0.5\mu\text{s}$ foi aplicado à entrada da porta inversora em cuja saída havia uma carga $C_L = 1\text{pF}$. Obteve-se uma resposta com um *Settling Time* de 80ns . A figura 4.25 apresenta a resposta do inversor.

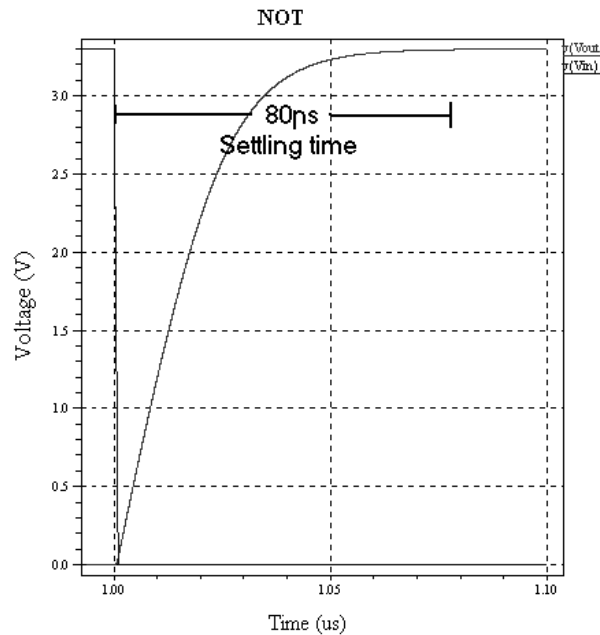


Figura 4.25: Resposta do inversor ao pulso

4.12 O circuito completo

A figura 4.26 é o conversor completo em detalhes. Um sinal normalizado é aplicado na entrada V_{IN} . Logo em seguida o bloco S/H amostra este sinal em segmentos discretos no tempo para o bloco comparador TRACK-AND-LATCH. Estes segmentos sincronizados por ϕ_1 e ϕ_2 são comparados com outros segmentos oriundos da rampa digital LADDER mais o CONVERTOR I/V. Para cada segmento de amostra, existirão 2^6 segmentos de rampa para serem comparados. A atuação do comparador gera, o pulso de *habilitação/inibição*. A *habilitação* ocorrerá para o bloco LATCH de saída e a *inibição* ocorrerá para o pulso de *clock* do bloco CONTADOR BINÁRIO.

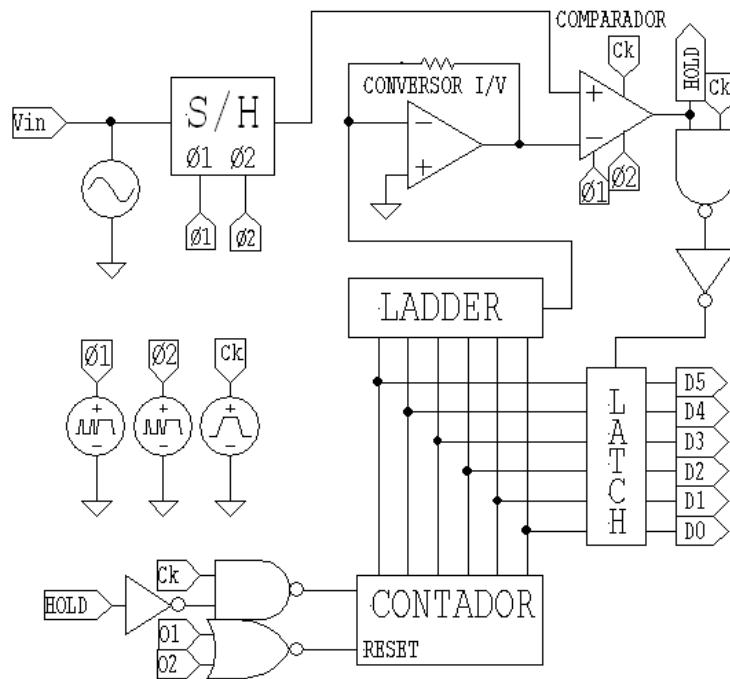


Figura 4.26: Diagrama em detalhes do Conversor A/D

Para a simulação, um sinal senoidal normalizado entre picos negativos é inserido na entrada V_{IN} sendo 1MHz a frequência de *clock*. Com essas características de sinais pode-se determinar o tempo de um ciclo de conversão em $66\mu s$. O desempenho do conversor na simulação pode ser observado na figura 4.27.

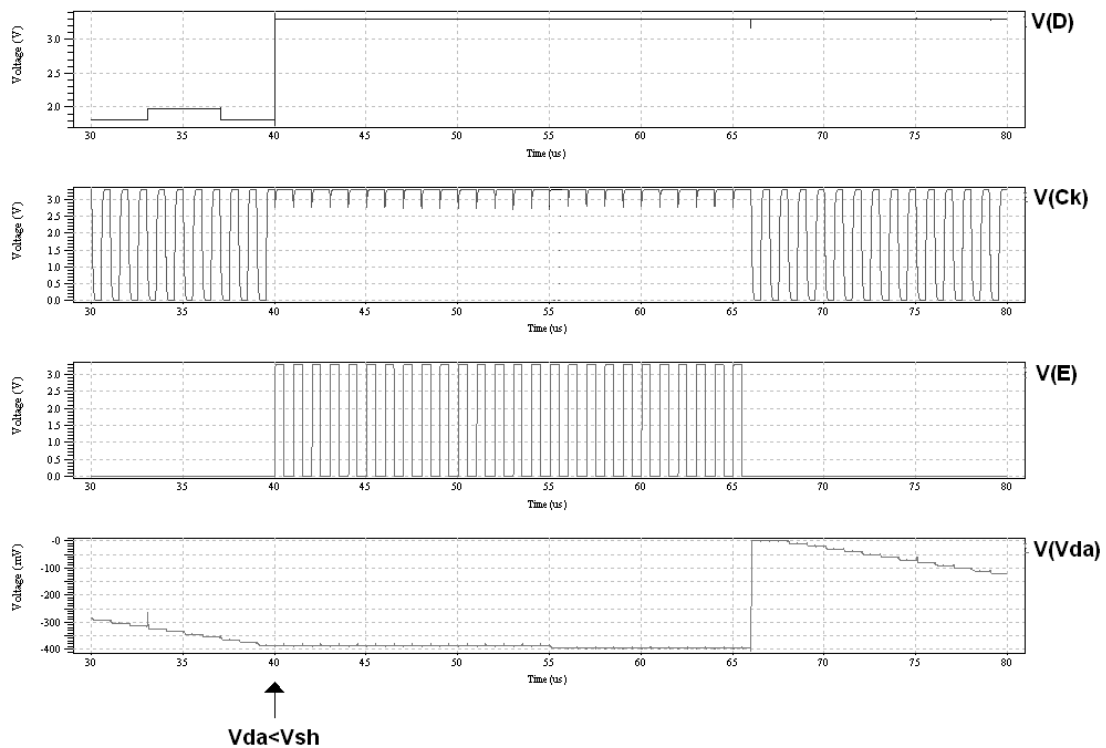


Figura 4.27: Gráfico do desempenho do conversor A/D

O sinal “D” representa um dos bits de dados da saída digital, “Ck” é o pulso de clock na entrada do contador, “E” é o pulso de habilitação para o *latch* atualizar sua saída e “ V_{DA} ” é a rampa proveniente do conversor D/A.

Antes de $40\mu\text{s}$ pode-se observar que a saída D ainda não foi carregada, este período será caracterizado como transitório. Neste período também é possível observar que o clock do contador está atuando e a rampa V_{DA} diminuindo linearmente. O sinal de *enable* “E” ainda não percebeu nenhuma comparação positiva (entende-se como comparação positiva quando $V_{DA} < V_{SH}$).

Após os $40\mu\text{s}$ V_{SH} se torna maior que V_{DA} (na verdade V_{DA} se torna inferior a V_{SH}) o comparador irá gerar dois sinais: o pulso “E” apresentado no

gráfico e o pulso HOLD que tem a função de inibir os pulsos de *clock* para o contador, Ck do gráfico. O pulso “E” é intermitente por causa da sua combinação com o *clock* do comparador.

Permanecendo o contador em um mesmo estado, pode-se observar no gráfico que V_{DA} não sofre mais alterações. Esta condição garante que mesmo com as oscilações dos pulsos “E”, a primeira conversão é mantida até o fim do ciclo de conversão, que irá acontecer na próxima vez em que $V_{DA} < V_{SH}$. É importante salientar que os pulsos de controle ϕ_1 e ϕ_2 irão restabelecer o sistema: *resetar* o contador e o comparador e coletar uma nova amostra. Mas a nova digitalização só ocorrerá na condição acima mencionada.

O restabelecimento do conversor é observado no gráfico quando V_{DA} reinicia a rampa, o pulso “E” volta a zero contínuo e Ck volta a oscilar. Porém o dado D continua o mesmo.

5 Estratégias de Teste para o conversor A/D

Na maioria das estratégias usadas pelos autores de diversos trabalhos na área de teste e testabilidade de conversores A/D, conforme verificado durante a revisão bibliográfica, tem-se utilizado o paradigma do *teste funcional*, no qual se considera que o conversor A/D deverá ter sua funcionalidade atestada por seqüências exaustivas de vetores de teste.

O teste funcional do conversor considera apenas sua(s) entrada(s) analógica(s) e a(s) saída(s) digital(is). Os detalhes do conversor e as características de suas estruturas internas não são consideradas para efeito da elaboração da estratégia de teste.

Uma alternativa para o paradigma do teste funcional seria a utilização da estratégia do teste estruturado, que tem logrado êxito no teste dos circuitos puramente digitais, no qual o modelo de falha mais freqüente utilizado é o de “stuck-at” [22,23,24]. O teste estruturado, necessariamente, considera as características constitutivas (i.e estruturais) do circuito sob teste, evitando assim o uso de ensaios exaustivos.

Este trabalho propõe, como linha mestra da estratégia de teste do conversor A/D, o uso do paradigma do teste estruturado, no qual o conversor A/D será dividido em subcircuitos que serão testados independentemente.

Como o Conversor A/D consiste em um circuito tipo “*mixed-signal*”, serão utilizadas diferentes técnicas de teste, a fim de que sejam testadas independentemente as partes digitais das analógicas.

Esta estratégia de separar as partes digitais das analógicas será chamada de “*dividir para conquistar*”.

Para o teste das estruturas digitais, o modelo de falhas usado será o “*stuck-at*” (colagem em zero, colagem em um). O método para geração de um vetor de teste das estruturas digitais será o “*D Algorithm*” [22,23,24]

Para o teste das estruturas analógicas, o modelo de falhas usado será o “*Functional Fault Modeling*” (FFM) proposto em [2]. O método para geração de um vetor de teste será o “*Transient Response Analysis Method (TRAM)*” que foi proposto em [1] e avaliado em [2].

5.1 Dividir para conquistar

Conforme apresentado na seção anterior, o circuito do conversor A/D deverá ser particionado de forma que se possa testar separadamente suas estruturas analógicas das digitais.

A figura 5.1 apresenta o diagrama de blocos do conversor. Nela podem-se visualizar as seguintes estruturas compostas por circuitos que operam de forma digital: “Contador”, “Latch”, e o “NAND”. Também no diagrama, podem-se identificar os seguintes circuitos que operam de forma analógica: “Gerador de Rampa”, “Conversor D/A”, “Comparador” e “Sample and Hold”.

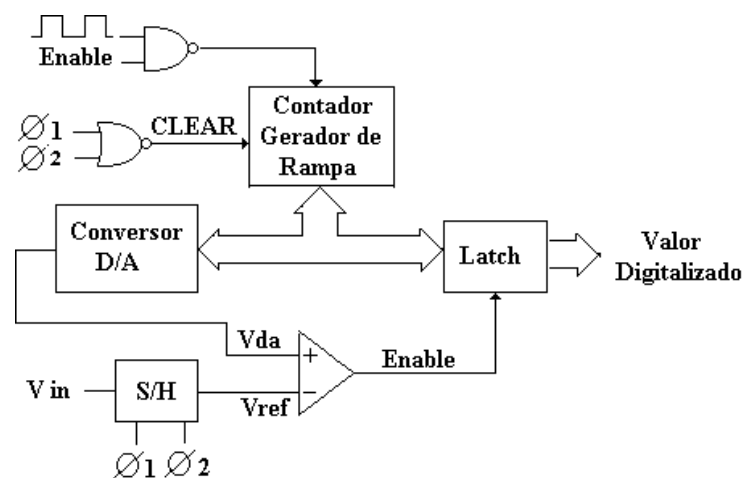


Figura 5.1: Diagrama de blocos do conversor A/D.

Conforme mencionado, os vetores de teste para os circuitos digitais devem ser gerados pelo “D-Algorithm”, não havendo nenhum requisito adicional para a configuração desses circuitos, exceto o isolamento do circuito sob teste (“circuit-under-test”, CUT) do restante do sistema, para que se possa aplicar um vetor de teste na entrada e observar a resposta do CUT ao esse vetor de teste.

Para o caso dos circuitos analógicos, os circuitos serão novamente divididos, de forma que se possa utilizar o método da análise de transientes (TRAM). Esse método determina que, além do isolamento do CUT, haja a transformação do circuito em um sistema de 1ª ou 2ª ordem, para que se possa aplicar um degrau de tensão (ou corrente) em sua entrada e observar o regime transiente da resposta do CUT ao vetor de teste.

No que se refere aos circuitos analógicos, a divisão em subcircuitos produz a situação apresentada na tabela 5.1.

Tabela 5.1: Divisão dos circuitos analógicos

CLASSIFICAÇÃO	CIRCUITOS
Tipo 1	Chave analógica
Tipo 2	Conversor corrente-tensão
Tipo 3	Sample & Hold
Tipo 4	Comparador

Os circuitos elétricos adicionais para a implementação do BIST possuem basicamente três estruturas. A primeira estrutura tem a função de gerar o estímulo para o teste, i.e. o vetor de teste, que corresponde a um “degrau de tensão” ou um “degrau de corrente”, conforme o caso.

A segunda estrutura tem a função de adicionar um pólo dominante à função de transferência, do CUT, para que se possa observar o comportamento transiente da resposta à entrada degrau, conforme estabelecido no método de análise de transientes (TRAM) do item 3.4.

A terceira estrutura corresponde a um circuito que permita a observação (medição) da resposta à entrada degrau, sem perturbar o experimento. Em termos práticos, este circuito poderá ser implementado com um amplificador operacional de ganho unitário.

No item a seguir serão apresentados cada um dos subcircuitos e as estruturas usadas para implementar a estratégia de BIST de cada um dos CUT.

5.2 Estruturas para implementação do BIST nos subcircuitos

5.2.1 Estrutura do BIST para a Chave analógica

O circuito da chave analógica é novamente apresentado na figura 5.2, no qual também são apresentados os circuitos adicionais para implementar o BIST.

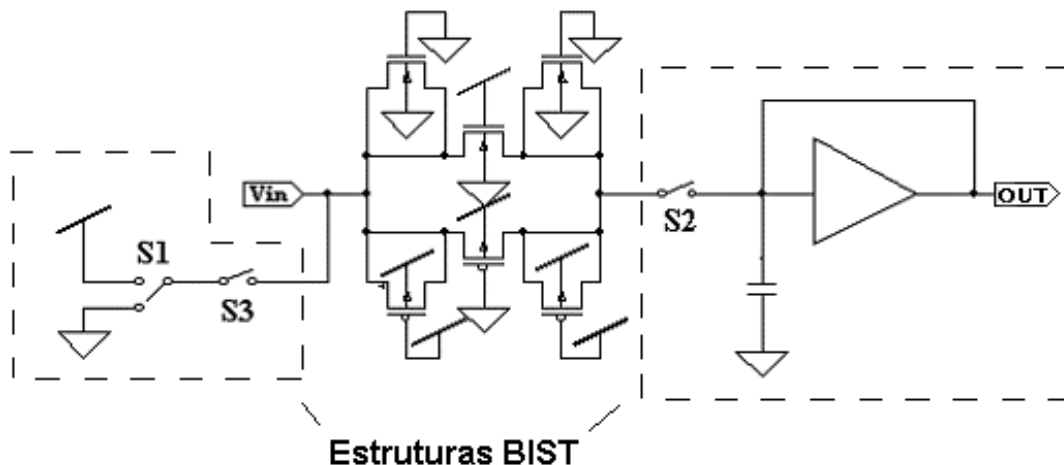


Figura 5.2: Chave analógica e circuitos BIST.

Para a execução do teste, o circuito original deve ser reconfigurado. As chaves Sw3 e Sw2 devem ser fechadas para que se possa aplicar o sinal de teste e observar a resposta a ele.

O sinal de teste (V_{in}) corresponde a um “degrau de tensão” gerado pela chave SW1 ao comutar de Vdd para Vcc. A resposta ao sinal de teste poderá ser observada no ponto OBS.

5.2.2 Estrutura do BIST do Conversor Corrente Tensão

O circuito para conversão corrente-tensão é apresentado na figura 5.3, que também apresenta os circuitos adicionais da implementação do BIST.

Como no caso anterior, para a execução do teste, o circuito original deve ser reconfigurado. As chaves Sw3 e Sw2 devem ser fechadas, para que se possa aplicar o sinal de teste e observar a resposta a ele.

O vetor de teste (V_{in}) corresponde a um “degrau de corrente” gerado pela chave SW1 ao comutar os resistores de entrada (R1 e R2) de Vdd para Vcc. A resposta ao sinal de teste poderá ser observada no ponto OBS.

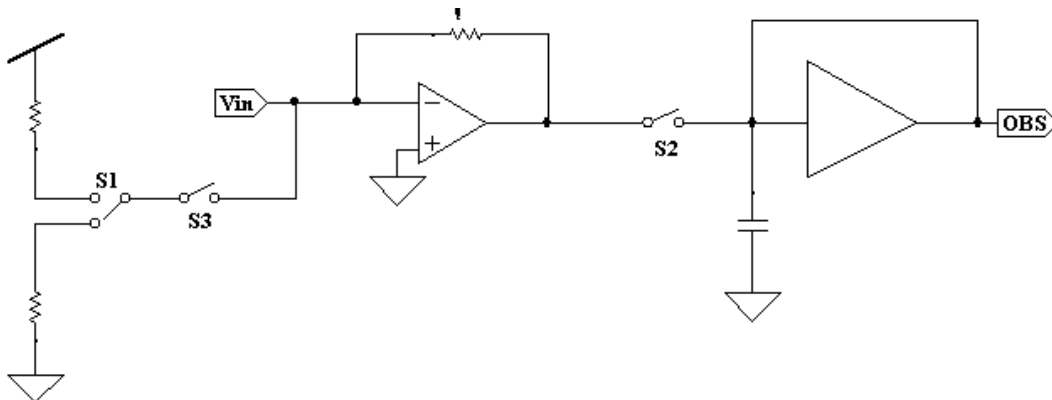


Figura 5.3: Conversor corrente-tensão e circuitos BIST.

5.2.3 Estrutura do BIST para o Sample & Hold

Assim como as outras estruturas de testes montadas para os circuitos acima mencionados, o Sample and Hold também deverá receber uma estrutura BIST. As linhas de chaveamento e o circuito de resposta ao degrau foram implementados como mostra a figura 5.4. A saída OBS será o ponto de amostragem da rampa de teste.

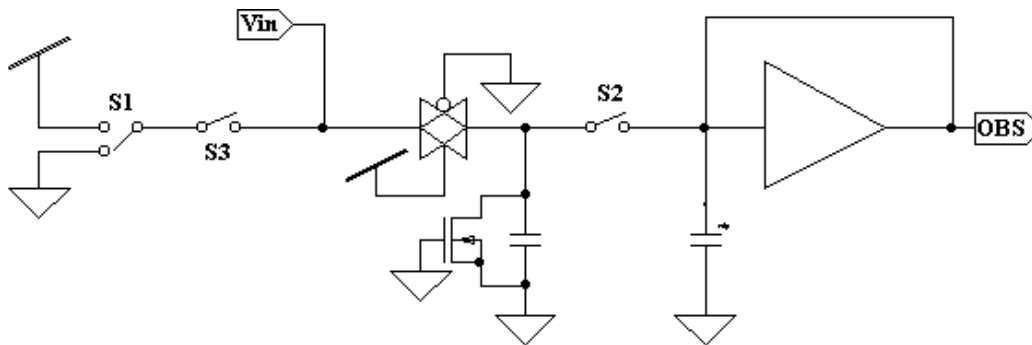


Figura 5.4: Sample and Hold e circuitos BIST

5.2.4 Estrutura do BIST do Comparador

Por fim, foi implementada também uma estrutura BIST para o comparador de tensão, como demonstrado na figura 5.5. Assim como as outras estruturas, o ponto OBS é o sinal de resposta do circuito de teste.

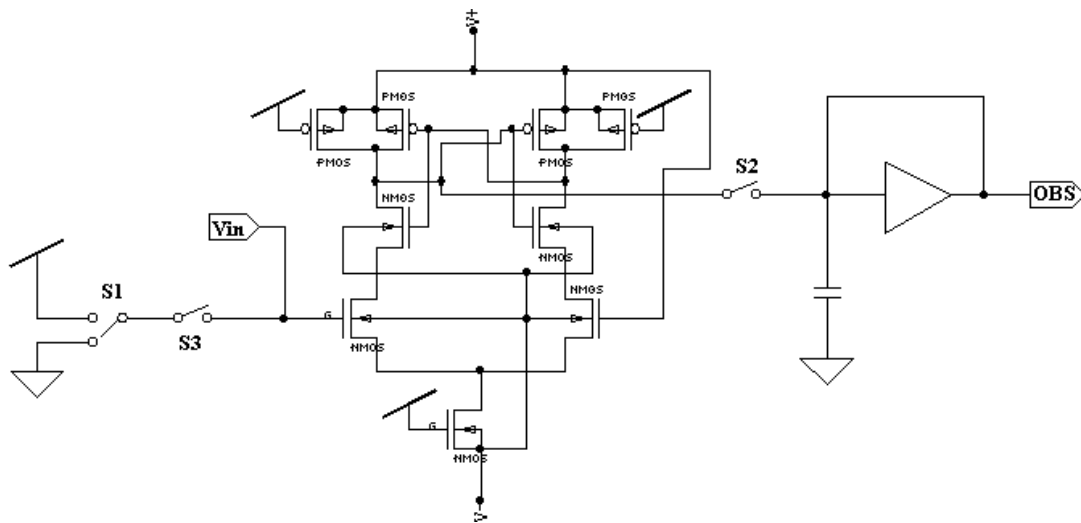


Figura 5.5: Comparador e circuitos BIST.

6 Simulação de Falhas

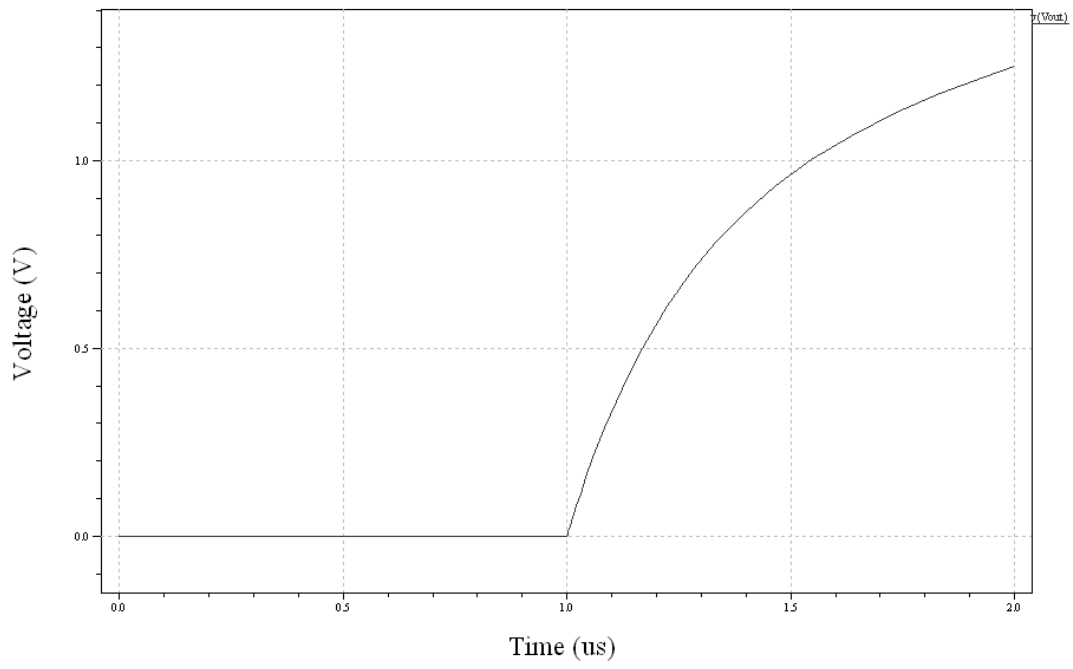
Neste capítulo serão executadas uma série de simulações de falhas nas estruturas constituintes do conversor A/D, de forma a verificar a adequabilidade do uso do método TRAM para o teste do conversor A/D e também o uso das estruturas BIST.

Conforme apresentado anteriormente, o objetivo dos algoritmos de simulação de falhas, neste caso, é verificar que falhas em um CUT são detectadas por um vetor de teste específico.

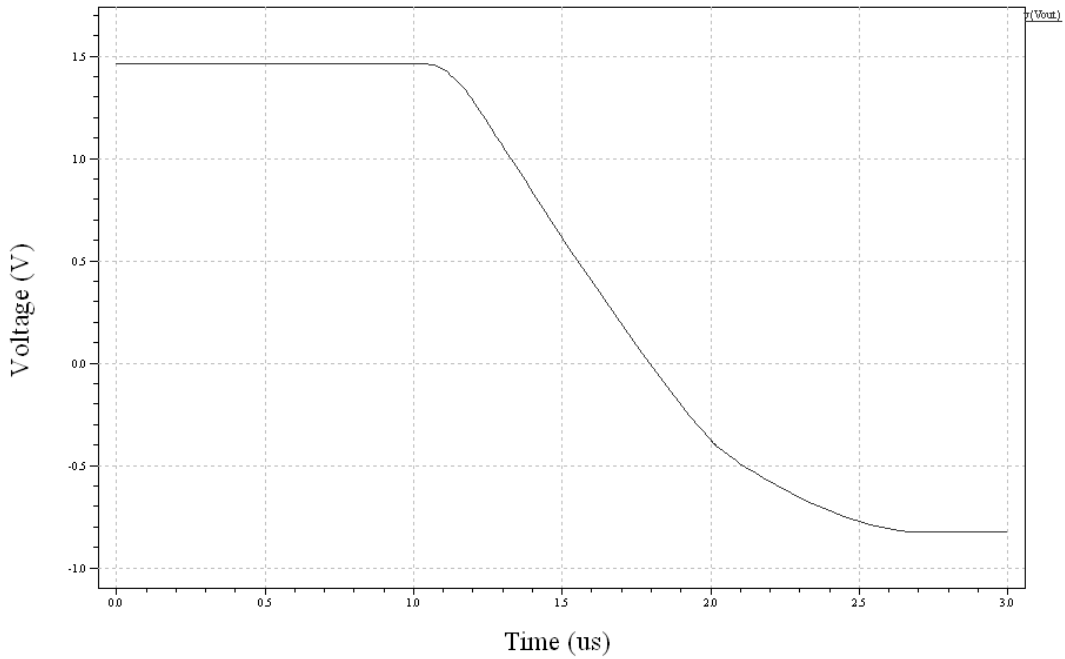
O passo inicial é simular o comportamento do circuito sem falhas, também chamado de “*golden device*”, em resposta a entrada “degrau”. Haverá uma simulação para cada um dos subcircuitos apresentados na tabela 5.1.

A seguir, será executada a “simulação de falhas”: para cada subcircuito apresentado na tabela 5.1, por meio de uma análise de MONTECARLO. Os desvios nos valores nominais dos transistores dos subcircuitos corresponderão às “falhas paramétricas”.

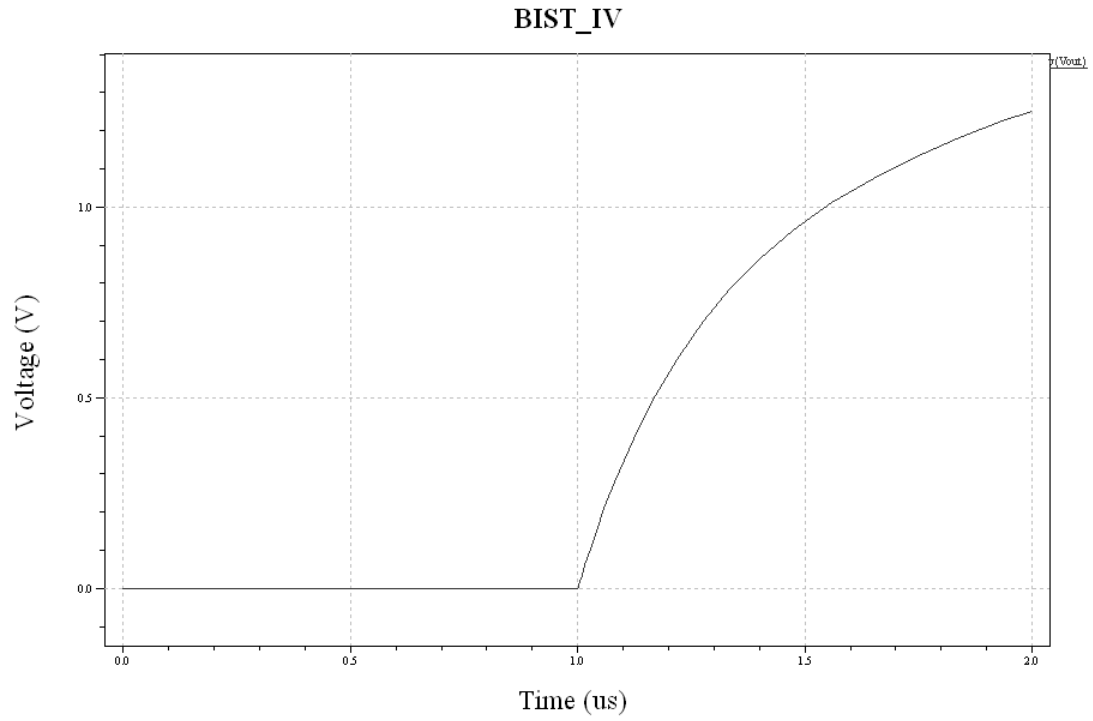
A figura 6.1 (a), (b), (c) e (d) corresponde às respostas a um pulso dos circuitos compostos pelas estruturas BIST propostos no item 5.



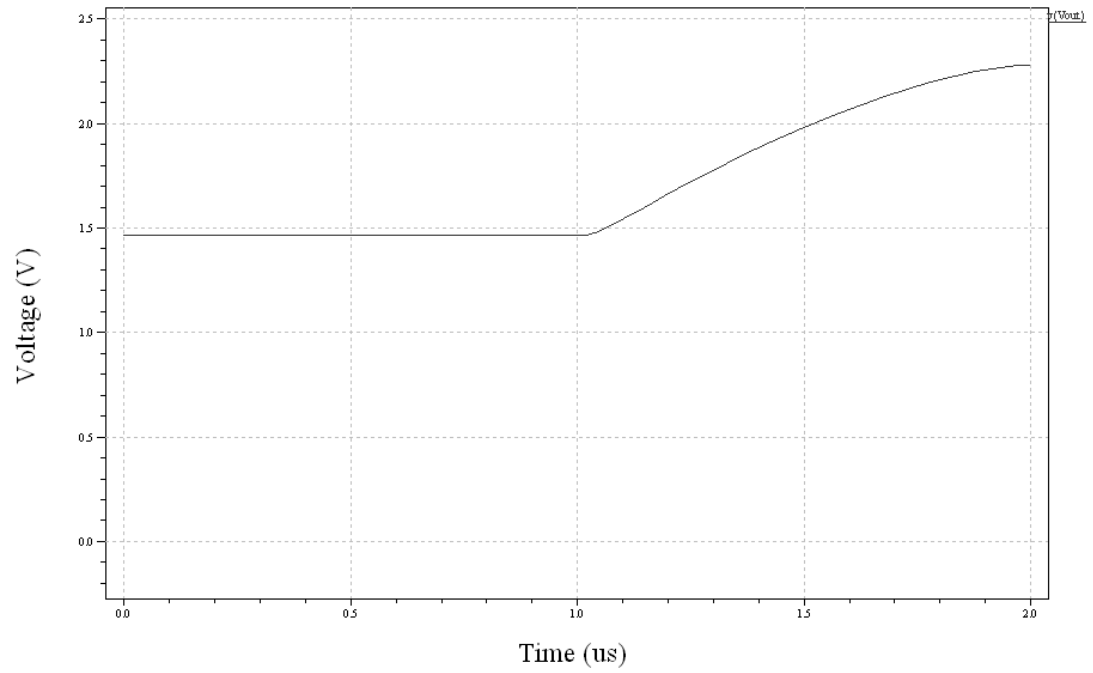
(a) Resposta do *Golden device* Chave analógica



(b) Resposta do *Golden device* Conversor corrente/tensão



(c) Resposta do *Golden device* Sample and Hold



(d) Resposta do *Golden device* Comparador

Figura 6.1: Respostas das estruturas BIST a um pulso.

Reconhecidas as curvas dos “*Golden devices*”, pode-se identificar um defeito pela simples comparação. Um dos defeitos possíveis nos dispositivos MOS são os desvios paramétricos. A seguir serão simulados desvios paramétricos com o intuito de provar que a resposta de circuito pode ser significativamente alterada em função de distintos valores de comprimento e/ou largura de canal.

As análises utilizadas nas simulações serão realizadas em função do tempo com um sweep baseado no modelo de Monte Carlo, usando “W” ou “L” como parâmetro de variação.

6.1 Análise paramétrica da Chave Analógica

No circuito da Chave Analógica, foi passado o parâmetro “W” do transistor chaveador do tipo “P” para a variação gaussian sobre o método Monte Carlo. Pode-se observar na figura 6.2 as respostas à variação paramétrica “W”.

A distribuição de “W” para as figuras 6.2, 6.3, 6.4 e 6.5 está contida na faixa de 5 a 15 μ m.

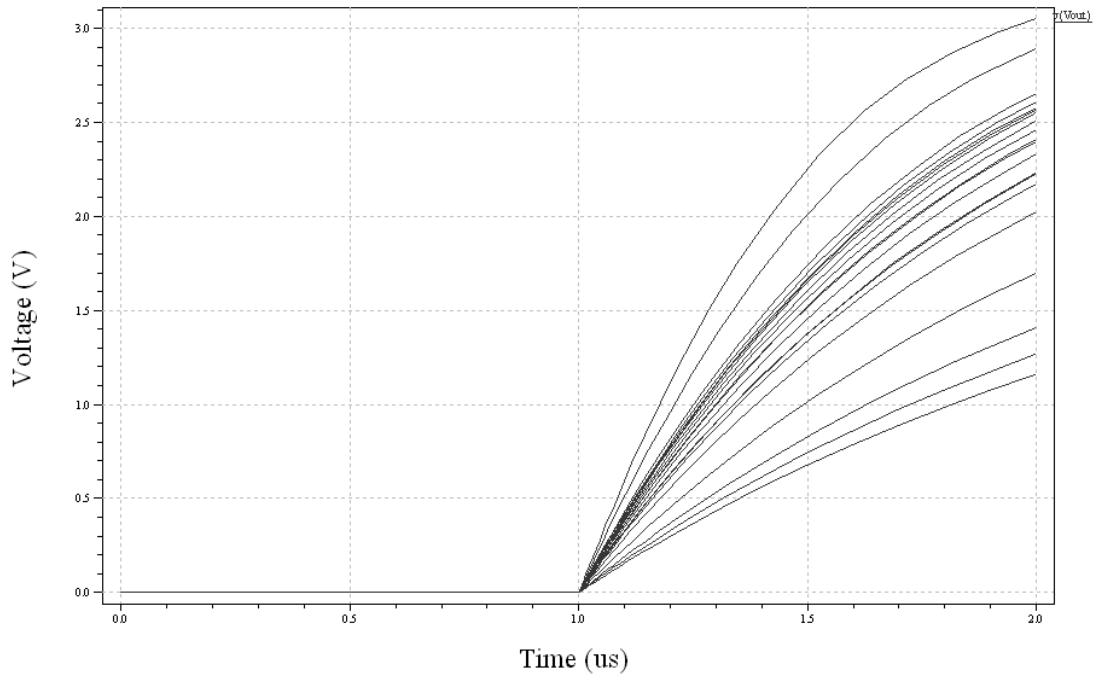


Figura 6.2: Simulação de Monte Carlo da Chave Analógica

6.2 Análise paramétrica do Conversor corrente/tensão

Podem-se observar os mesmos procedimentos para o Conversor corrente/tensão. Porém, o parâmetro que sofrerá a variação é o comprimento de canal (L) do transistor “P” de polarização da corrente I_{BIAS} do Amplificador Operacional. A figura 6.3 retrata as variações de resposta em função da distribuição de “W” na faixa de 5 a 15 μm .

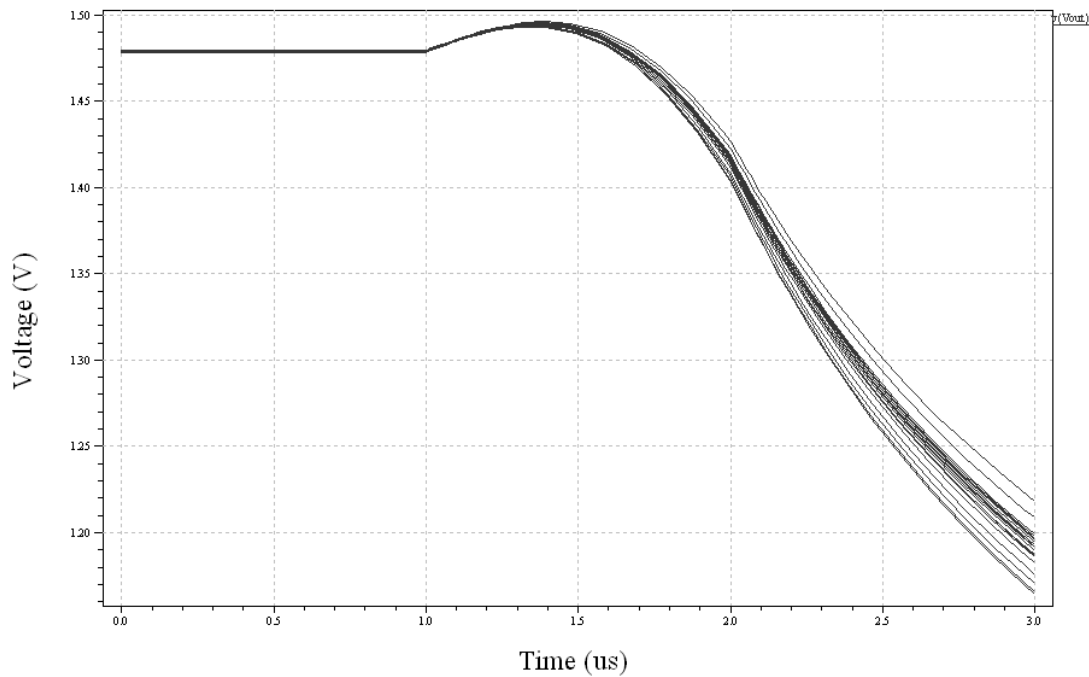


Figura 6.3: Simulação de Monte Carlo do Conversor corrente/tensão

6.3 Análise paramétrica do Sample and Hold

Para o Sample and Hold o parâmetro escolhido foi a largura de canal (W) do chaveador tipo “N”. A figura 6.4 apresenta as variações ocorridas de resposta em função da distribuição de “ W ” na faixa de 5 a 15 μm .

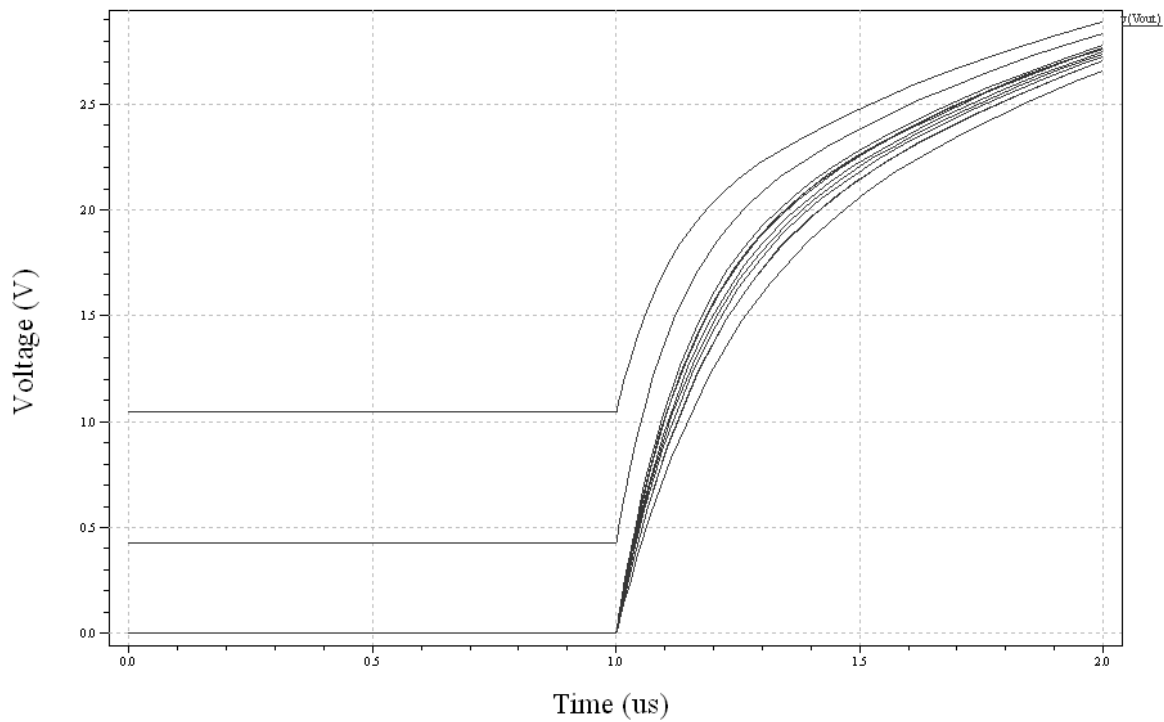


Figura 6.4: Simulação de Monte Carlo do Sample and Hold

6.4 Análise paramétrica do Comparador

Por fim, para o comparador, foram escolhidos os dois transistores do par diferencial inserindo uma variação tanto em suas larguras de canal (W) como em seus comprimentos (L). A figura 6.5 apresenta as curvas de resposta de resposta em função da distribuição de “ W ” na faixa de 5 a 15 μm .

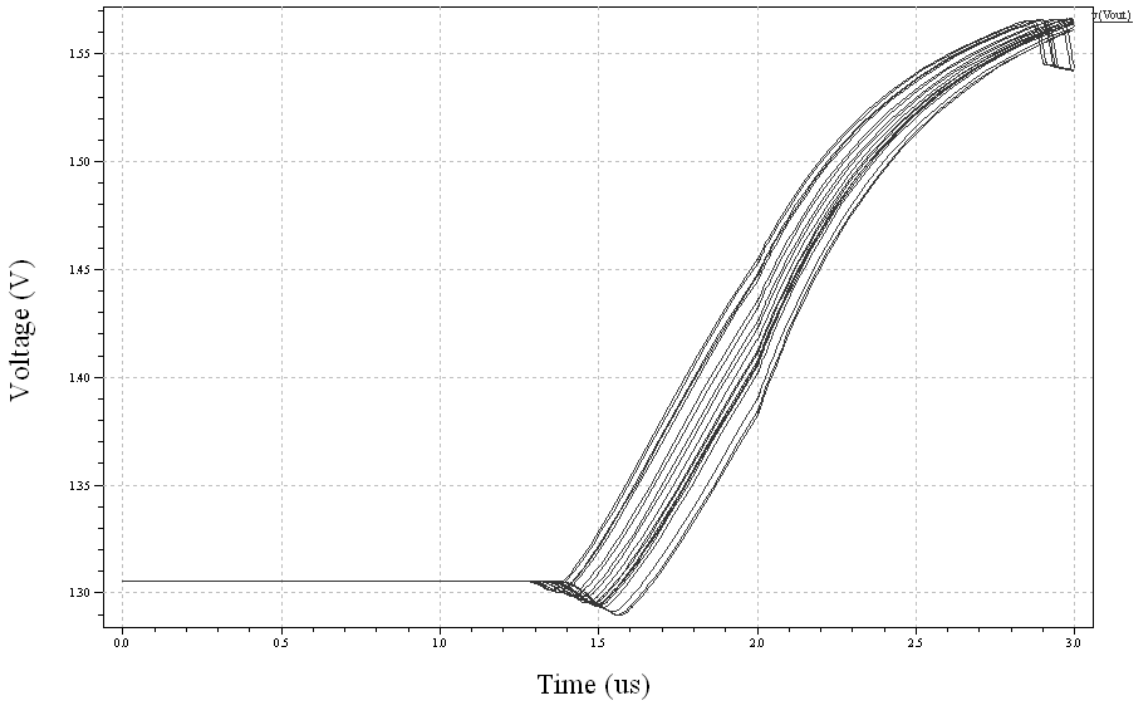


Figura 6.5: Simulação de Monte Carlo do Comparador

7 CONCLUSÕES

Esta Tese propôs uma metodologia para o projeto de um Conversor A/D projetado para ser testável pelo uso de estruturas de auto-teste integrado.

Inicialmente, no desenvolvimento da Tese, foram apresentados os conceitos mais atuais sobre as estruturas de auto-teste, bem como uma proposta da atuação de modelos estruturais BIST para dispositivos integrados MOS. Isto foi feito por intermédio de revisão bibliográfica sobre o assunto, com a apresentação dos conceitos mais importantes sobre teste e testabilidade de sistemas.

No que se refere à proposta e o desenvolvido do conversor A/D, o projeto objetivou aproveitar os conceitos de conversores por rampa digital para montagem de um conversor de estrutura simples. A primeira inovação proposta foi o estabelecimento de uma estrutura elétrica para o circuito de conversão A/D baseada em sinais de corrente, ao invés de sinais de tensão. Isto permitiu o uso de transistores MOS no tamanho mínimo do processo de fabricação.

A outra proposta deste trabalho foi o uso de uma técnica de modelagem de falhas para circuitos analógicos que possibilitaria, em um momento futuro, a utilização de técnicas evolucionárias e sócio-cognitivas para geração automática de vetores de teste.

A segunda inovação da Tese é a proposta da técnica “dividir para conquistar”, onde o circuito conversor A/D deve ser dividido em porções analógicas e porções digitais, que são então testadas independentemente.

Além disso, a fim de implementar as facilidades de auto-teste, foi proposto o uso do barramento de teste 1149.4Std. (*“Mixed-Signal Standard Test Bus”*)

Como resultado da metodologia proposta, foi possível projetar um conversor A/D com estruturas de auto-teste integradas onde, estímulos simples de tensão ou corrente podem ser empregados com sucesso como vetores de teste.

Os resultados obtidos indicam a viabilidade e a praticidade da utilização das estruturas BIST no desenvolvimento de conversores A/D.

Os métodos utilizados para a caracterização de uma falha, embora simples, apresentaram resultados satisfatórios, viabilizando sua aplicação. Mostrou-se que um desvio das dimensões das estruturas é detectável por meio de métodos de comparação.

Foram realizados também estudos de topologias de conversores mais conhecidas, aplicando o uso de técnicas de projeto e modelagem em tecnologia MOS para o desenvolvimento de diversos blocos analógicos e digitais, considerados básicos para construção da maioria dos sistemas atuais utilizados para conversão analógico/digital.

O conjunto BIST/CONVERSOR é somente um exemplo da aplicação de estruturas de teste em circuitos integrados, havendo possibilidades de ser aplicado também a outras estruturas.

Em trabalhos futuros, para os resultados serem estendidos ao nível de implementação física, melhorias devem ser efetuadas. Por exemplo, a geração do estímulo de teste pode ser implementada e controlada de forma automática, através da uma lógica de controle do padrão 1149.4

Por fim, pôde-se observar que a estratégia de Dividir para Conquistar, que é claramente representada com o isolamento do CUT, tem resultados positivos e é de simples implementação, fator este que é significativo na avaliação da eficácia de uma estratégia de teste.

8 Referências Bibliográficas

- [1] CALVANO, J.V. ; ALVES, V. C. ; LUBASZEWSKI, M. S.; MESQUITA, A. C. - *Synthesis Method for Testable Electrical Networks Using 1st Order Building Blocks* - Microelectronics Journal, Inglaterra, v. 33, n. 10, p. 823-834, 2002.
- [2] CALVANO, J.V. ; ALVES, V. C. ; MESQUITA, A. C.; LUBASZEWSKI, M. S. - *Functional fault Models for OpAmps* - Journal Of Electronic Testing Theory And Application Jetta, Holanda, v. 17, n. 2, p. 121-138, 2001.
- [3] NEGREIROS M; CARRO L.; SUSIN A. A. - *Low Resolution ADC Converters Applied to Analog Testing* - Latin American Test Workshop, Salvador, Brazil - Digest of Papers, 2005. p. 258-262.
- [4] ADÃO A. S. J. and CARRO L. - *Self-test in a Stochastic Analog-to-Digital Converter* - Computer Society, Washington, DC, USA. - Latin American Test Workshop Salvador, Bahia, Brazil, 2005 - Digest of Papers.
- [5] REIS R.; PINHEIRO S. - *Uma nova metodologia de projeto de mircuitos mistos* - Boletim GME Nº 5 da UFRGS de dezembro de 1998.
- [6] BRAGA J. A.; MACHADO J. S.; ALVES J. C.; and J. S. MATOS. *A Wrapper for Testing Analogue to Digital Converters Cores in SoCs*. - Faculdade de Engenharia da Universidade do Porto - ETS 2004 - Digest of Parpers.
- [7] "*The Rise of Digital/Mixed-signal Semiconductors and Systems-on-a-Chip*" - Cadence Design System - White paper, 2002.
www.cadence.com/whitepapers/digital_mixed-signal_design.pdf.

- [8] VENUTO D. and RICHARDSON A. - Testing High Resolution SD ADC's by using the Noise Transfer Function. Digest of Papers. - Dipartimento di Elettrotecnica ed Elettronica Politecnico di Bari, Italy. – ETS 2004 - Digest of Papers.
- [9] CALVANO J. V., ALVES V. C., LUBASZEWSKI M. and MESQUITA A. C. - Synthesis Method for Testable Electrical Networks Using 1st Order Building Blocks – Microelectronics Journal, Estados Unidos, v. 33, n. 10, p. 823-834, 2002.
- [10] CORTES F. P.; FABRIS E.; BRITO J. P. M. BAMPI S. - Análise de projetos de módulos amplificadores e comparadores em tecnologia CMOS 0.35 μ m – Instituto de Informática da Universidade Federal do Rio Grande do Sul, Porto Alegre, RS, Brasil - IX WORKSHOP IBERCHIP, La Habana, Cuba, 2003.
- [11] CALVANO, J.V. et al - Fault Models and Test Generation for OpAmp Circuits – The FFM - Brazilian Navy Research Institute, Rio de Janeiro, Brazil - Journal of Electronic Testing: Theory and Applications, 2001.
- [12] ALBUQUERQUE R. O. - Integração de Ferramentas de Auxílio ao Projeto de Circuitos Integrados para o Ensino da Microeletrônica – EPUSP, 2002.
- [13] CALVANO J. V. - Geração de Testes e Projeto Visando a Testabilidade de Circuitos Analógicos - Tese de Doutorado, COPPE UFRJ, 2000.
- [14] MANEN S., BOHNER G., LECOQ J., FLEURY J., TAILLE C. e MARTIN G. - Dedicated front-end electronics for the next generation of linear collider electromagnetic calorimeter - LPC Clermont, Orsay, France – Physics - abstract 2005.
- [15] HAMED-HAGHB S. - Power reduction Pipelined A/D Converters - Department of Eléctrical and Computer Engineering University of Toronto, 2001 -Term Paper.

- [16] DONG-YOUNG C. and SEUNG-HOON L.- *Design Techniques for a Low-Power Low-Cost CMOS A/D Converter* - Journal of Solid-State Circuits, 1998 – Brief Papers
- [17] ABO A. M. and CINZA P. R. - *A 1.5V, 10bits, 14MS/s CMOS Pipeline Analog-to-digital Converter*. - Department of Electrical Engineering and Computer Sciences, University of California, Berkeley, CA, USA. - Digest of Papers.
- [18] ABROMOVICI M., BREUER, MELVINA , et al. - *Digital Systems Testing and Testable Design* - Press The Institute of Electrical and Electronics Engineers, Inc., New York - IEEE Press, 1990 – Papers.
- [19] THOMAS, G. B. e FINNEY, R. L - *Cálculo Diferencial e Integral* – Editora LTC SA, RJ, 1982 - 6ª edição
- [20] MANERA L. T. - *Determinação de Regras de Projeto e de Parâmetros de Simulação de um Processo nMOS para Fabricação de Circuitos Integrados* - Dissertação de Mestrado Faculdade de Engenharia Elétrica e Computação da Universidade Estadual de Campinas, 2002.
- [21] OGATA K. - *Engenharia de Controle Moderno* – editora LTC, 3ª. Edição, 2000.
- [22] *Automatic test pattern generation* - From Wikipedia, the free encyclopedia – www.en.wikipedia.org/wiki/Automatic_test_pattern_generation
- [23] SERRA M. - *Digital IC Testing: An Introduction* - Dept. of Computer Science Univ. of Victoria, Victoria, B.C. Canada. -. CRC Press, 1997 - Electrical Engineering Handbook.
- [24] MOHAMED A.I R. - *Test Generation* - ISY Linköping University, Sweden, 2000 - Digest of Papers.

- [25] SAVIOLI C. E. F. - Técnicas Evolutivas para Teste e Diagnóstico de Filtros Analógicos - Universidade Federal do Rio de Janeiro, COPPE, 2005.
- [26] VRANKEN, H.; SAPEI, F.S.; WUNDERLICH, H. J.; - Impact of test point insertion on silicon area and timing during layout - Design, Automation and Test in Europe Conference and Exhibition, Paris, France, 2004 - Digest of Papers.
- [27] HETHERINGTON G.; FRYARS T.; TAMARAPALLI N.; KASSAB M.; Hassan A. and Rajski J. - Logic BIST for Large Industrial Designs: Real Issues and Case Studies - International Test Conference, 1999 - Digest of Papers.
- [28] GHERMAN V.; WUNDERLICH H.-J.; VRANKEN F.; HAPKE M.; WITKE M. and GARBERS M. - Efficient Pattern Mapping for Deterministic Logic BIST - International Test Conference, 2004 - Digest of Papers.
- [29] TANG Y.; WUNDERLICH H.-J.; VRANKEN H.; HAPKE F.; WITKE M.; ENGELKE P.; POLIAN I. and BECKER B. - X-Masking During Logic BIST and its Impact on Defect Coverage – International Test Conference, 2004 Digest of Papers.
- [30] VRANKEN H.; MEISTER F. AND WUNDERLICH H.-J. - Combining Deterministic Logic BIST with Test Point Insertion - European Test Workshop, Korfu, Greece, 2002 - Digest of Papers.
- [31] FLORES, M. G. C.; NEGREIROS, M.; CARRO, L.; SUSIN, A. A.; CLAYTON, F. and BENEVENTO, C. - Low Cost BIST for Static and Dynamic Testing of ADCs. - Journal of Electronic Testing: Theory and Applications, v. 21, n. 3, p. 283-290, 2005 - Digest of Papers.
- [32] NEGREIROS, M.; CARRO, L.; SUSIN, A. A. - A Method to Evaluate Noise Figure Suitable for BIST. - International Mixed-Signals Testing Workshop, 2004 - Digest of Papers.

- [33] NEGREIROS, M.; CARRO, L.; SUSIN, A. A. - Low Cost Analog BIST using binary noise - Latin American Test Workshop, 2004 - Digest of Papers.
- [34] SUSIN, A. A. ; CARRO, L.; FLORES, M. G. C. and NEGREIROS, M. - INL and DNL Estimation based on Noise ADC. Instrumentation and Measurement Technology Conference, 2003, v. 1. p. 1350-1353 - Digest of Papers.
- [35] FLORES, M. G. C. - Teste Embarcado de Conversores Analógico-Digitais.. Mestrado em Engenharia Elétrica - Universidade Federal do Rio Grande do Sul, Conselho Nacional de Desenvolvimento Científico e Tecnológico, 2003.