

BANCO DE FILTROS DE HADAMARD A CAPACITORES CHAVEADOS EM
0,35 μ m CMOS

Paulo Cesar Ramalho Brandão

TESE SUBMETIDA AO CORPO DOCENTE DA COORDENAÇÃO DOS
PROGRAMAS DE PÓS-GRADUAÇÃO DE ENGENHARIA DA UNIVERSIDADE
FEDERAL DO RIO DE JANEIRO COMO PARTE DOS REQUISITOS
NECESSÁRIOS PARA A OBTENÇÃO DO GRAU DE MESTRE EM CIÊNCIAS EM
ENGENHARIA ELÉTRICA.

Aprovada por:

Prof. Antonio Petraglia, Ph.D.

Prof. Antonio Carneiro de Mesquita Filho, Dr.d'État.

Prof. Fernando Antônio Pinto Barúqui, D.Sc.

RIO DE JANEIRO, RJ – BRASIL

JULHO DE 2005

BRANDÃO, PAULO CESAR RAMALHO

Banco de Filtros de Hadamard a Capacitores
Chaveados em 0,35 μm [Rio de Janeiro] 2005

VIII, 84 p. 29,7 cm (COPPE/UFRJ, M.Sc.,
Engenharia Elétrica, 2002)

Tese – Universidade Federal do Rio de
Janeiro, COPPE

1. Circuitos integrados

I. COPPE/UFRJ II. Título (série)

À Patrícia e Davi

AGRADECIMENTOS

Em primeiro lugar a Deus, por tudo que nos tem concedido dia a dia. Sem a Sua presença e atuação em nossas vidas, este trabalho não teria sido realizado.

A toda a minha família, de sangue e de fé, pelo suporte e carinho sempre presentes. Em especial a minha mãe, Clara, exemplo de alegria e superação e a meu pai, Cláudio, cuja influência foi decisiva para a carreira que venho trilhando.

Ao professor Antonio Petraglia pela orientação concedida ao longo deste trabalho, pelo amigável convívio e muito especialmente por estar tomando providências burocráticas em meu lugar nesses momentos finais do trabalho.

Aos professores Fernando Barúqui e Joarez Monteiro pelos importantes comentários e sugestões que muito contribuíram para o andamento do trabalho.

A todos os amigos do Laboratório de Processamento Analógico e Digital de Sinais (PADS), em especial ao Maurício Quêlhas pelas conversas e caronas, ao Rafael Szendrodi pela manutenção da rede e instalação de programas, à Jacqueline Pereira pelas dicas relativas ao trabalho e ao, também professor, Frederico Pontes pela ajuda com as simulações.

Aos amigos. Grandes amigos! De toda hora: Vagner Latsch e José Augusto Avelino. De toda vida: Patrícia Pinheiro, Marcelo Barbosa e Leandra Marun. De toda aula: Edvaldo Carreira, Leonardo Bruno de Sá, João Paulo Botelho e Pedro Vieira. Pelo simples fato de existirem.

Ao pessoal da DIAVI/INMETRO: Marco Nabuco, Paulo Massarani, Rodrigo, Walter, Nelson, Zemar, Fábio (Bill). Pelas boas gargalhadas e também pelo começo de aprendizado profissional.

À minha esposa Patrícia, pela paciência, companheirismo, amor, dedicação, enfim...Tudo!

Ao meu filho Davi, pela alegria de vê-lo crescer.

Resumo da Tese apresentada à COPPE/UFRJ como parte dos requisitos necessários para a obtenção do grau de Mestre em Ciências (M.Sc.)

BANCO DE FILTROS DE HADAMARD A CAPACITORES CHAVEADOS EM
0,35 μ m CMOS

Paulo Cesar Ramalho Brandão

Julho/2005

Orientador: Antonio Petraglia

Programa: Engenharia Elétrica

Neste trabalho foi desenvolvido o projeto dos filtros de análise integrantes de um banco de filtros de Hadamard de ordem 4, onde o sinal de entrada é dividido em 4 sub-bandas para que seja processado em taxas de amostragem reduzidas. Os filtros foram implementados com circuitos a capacitor chaveado usando um esquema de compensação de ganho DC finito e *offset* dos amplificadores operacionais. O ganho dos amplificadores operacionais é escolhido propositalmente baixo (~ 200 V/V) para assim estender a faixa de frequências em que o circuito é capaz de operar. Para demonstrar a validade do esquema de compensação proposto, foram desenvolvidas expressões algébricas para os circuitos estudados e foram realizadas simulações preliminares, com componentes ideais. Para projetar o circuito foi desenvolvido um modelo do mesmo que permitiu estabelecer as características que os amplificadores operacionais devem ter para que seu tempo de estabilização ocorra dentro de um valor especificado. Utilizou-se ainda um método de minimização do tempo de estabilização através do projeto adequado da margem de fase dos amplificadores operacionais. O circuito foi projetado para implementação num processo CMOS 0.35 μ m com alimentação de 5V. Resultados de simulações realizadas no PSPICE usando o modelo BSIM3v3, se mostraram coerentes com as deduções teóricas. O circuito foi capaz de operar na taxa de 13 Msamples/s com excursão de sinal de 4,5 V pico a pico.

Abstract of Thesis presented to COPPE/UFRJ as a partial fulfillment of requirements for degree of Master of Science (M.Sc.)

A SWITCHED-CAPACITOR HADAMARD FILTER BANK IN 0.35 μ m CMOS

Paulo Cesar Ramalho Brandão

July/2005

Advisor: Antonio Petraglia

Department: Electrical Engineering

This work is a design of analysis filters of 4th order Hadamard filter bank where the incoming signal is splitted in 4 subbands to be processed in lower sampling rates. The filters were implemented with switched capacitor circuits using an operational amplifier non-idealities compensation scheme. Both the finite DC gain and the offset are compensated. The amplifiers' gain are kept low (~ 200 V/V) to extend the circuit frequency range of operation. Developed circuit's algebraic expressions and preliminary simulation results, with ideal components, validate the proposed compensation scheme. A model of the circuit was developed to establish the key features of the operational amplifiers such that the settling time meets a specification. Besides, an accurate phase margin design was done, minimizing the settling time. The circuit was designed for implementation in a CMOS 0.35 μ m process using a 5V supply voltage. Simulation results, ran on PSPICE using BSIM3v3 model, were in close agreement with theoretical results. The filter bank was able to operate at the rate of 13 Msamples/s with a rail to rail output voltage of 4,5 V.

Sumário

Capítulo 1: Introdução	1
1.1 Bancos de Filtros Híbridos	2
1.2 Bancos de Filtros de Hadamard	4
Capítulo 2: Implementação do Sistema	6
2.1 Estruturas Básicas	8
2.1.1 Estruturas $H_0(z)$ e $H_1(z)$ Não Compensadas	8
2.1.2 Meio Atrasador ($z^{-1/2}$) Compensado	13
2.1.3 Estruturas $H_0(z)$ e $H_1(z)$ Compensadas	21
2.2 Banco de Filtros de Hadamard de 4ª Ordem	29
Capítulo 3: Projeto do Circuito	32
3.1 Conceitos Básicos	33
3.1.1 Visão Geral do Circuito	33
3.1.2 Modelagem do Circuito	38
3.1.2.1 Modelagem do OTA	38
3.1.2.2 Modelagem das Chaves	43
3.1.2.3 Sistema de Equações Nodais	46
3.2 Projeto das Estruturas	49
3.2.1 Simulações Preliminares	50
3.2.2 Projeto dos OTAs	52
3.3 Resultados de Simulações	63

Capítulo 4: Conclusões	71
Apêndice A: Influência das Capacitâncias de <i>Gate</i> na Resposta do Meio-Atrasador e Dedução da Equação 2.28	74
A.1 Influência da Capacitância de Gate (C_P) na Resposta do Meio-Atrasador	75
A.2 Dedução da Equação 2.28	78
Referências	81

Capítulo 1

Introdução

Neste Capítulo é feita uma breve introdução dos principais conceitos concernentes aos bancos de filtros. Primeiramente são apresentados os bancos de filtros híbridos mencionando suas aplicações e vantagens (Seção 1.1). Os bancos de filtros de Hadamard, objeto de estudo deste trabalho, são apresentados na Seção 1.2, juntamente com uma descrição da implementação a ser feita.

1.1 Bancos de Filtros Híbridos

Um banco de filtros híbrido é um sistema multi-taxas [1] que divide um dado sinal de entrada, $x(n)$, em M sub-bandas através de filtros de análise (H_k) e é capaz de reconstruir este sinal usando os filtros de síntese (F_k), conforme apresentado na Fig. 1.1. Quando a reconstrução do sinal é tal que $y(n)$ é uma réplica do sinal $x(n)$ a menos de um atraso, diz-se que o banco de filtros reconstrói perfeitamente o sinal [2, 3]. O processamento de um sinal em sistemas que operam em diferentes taxas de amostragem normalmente prova ser mais eficiente [1], comparativamente com um sistema que opere a uma única taxa, visto que a taxa de amostragem do sistema é mantida tão baixa quanto seja possível. É claro que esta abordagem traz novos problemas, como *aliasing*, que pode ser cancelado através do projeto adequado dos filtros de síntese [3].

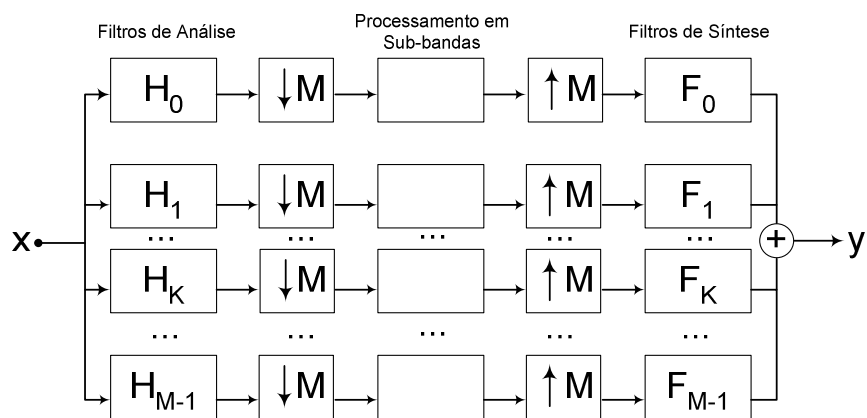


Figura 1.1: banco de filtros híbridos.

A natureza de cada conjunto de filtros vai depender do tipo de aplicação em que o sistema vai ser utilizado. Em conversão analógico-digital (A/D), os filtros de análise seriam analógicos e os de síntese, digitais. Para conversão D/A os filtros de análise e síntese seriam, respectivamente, digitais e analógicos. Em se tratando de filtros analógicos, vale destacar a possibilidade de se ter os mesmos operando a tempo contínuo ou a tempo discreto.

O tipo de processamento em sub-bandas indicado pelo blocos centrais da Fig 1.1 vai depender da aplicação a que se destina o banco de filtros. No caso de conversão A/D ou D/A, esses blocos serão conversores A/D ou D/A, respectivamente. Uma característica interessante da abordagem utilizada é que ela incorpora as vantagens da codificação em sub-bandas, onde o sinal é decomposto em bandas de frequências adjacentes. Neste caso, o ruído de quantização produzido em cada banda fica confinado a ela mesma, não influenciando outras bandas. Além disso, conversores com resolução mais alta são alocados nas bandas onde há maior concentração de energia do sinal. É interessante destacar ainda a redução da velocidade de operação dos conversores, em comparação com um sistema que opere em uma única taxa de amostragem: cada conversor opera a uma taxa M vezes menor. Em [1, 3, 4] podem ser encontradas outras aplicações para os bancos de filtros.

Conversores A/D de alta velocidade têm sido desenvolvidos com uma outra técnica, denominada *time interleaving*, que consiste em se utilizar M conversores, cada um operando a uma taxa $1/M$ vezes menor que a taxa de amostragem do sistema [4, 5]. No entanto, a velocidade e a resolução do sistema são limitadas devido à sua sensibilidade às diferenças entre os conversores e ao sincronismo de relógio.

O trabalho aqui apresentado consiste no projeto dos filtros de análise de um banco de filtros híbrido, visando a sua implementação num circuito integrado, conforme será detalhado na Seção 1.2.

1.2 Bancos de Filtros de Hadamard

Utilizando o banco de filtros para conversão A/D, por exemplo, o pré processamento analógico efetuado pelos filtros de análise passa a ter grande relevância para o correto funcionamento do sistema. Assim, os filtros de análise devem ser precisos, o que dificulta seu projeto. Uma maneira de se solucionar este problema é utilizar funções de transferência simples, tipicamente da forma

$$H_0(z) = 1 + z^{-1} \quad (1.1)$$

e

$$H_1(z) = 1 - z^{-1} \quad (1.2)$$

Em processamento de imagens, onde os bancos de filtros de Hadamard são aplicados, a resolução normalmente requerida é de 8 bits. Portanto, a precisão dos circuitos analógicos que realizam os bancos de filtros de análise deve ser da ordem de 0,1 %.

Um exemplo de aplicação dessas funções de transferência é apresentado na Fig. 1.2 para os filtros de análise numa estrutura em árvore com dois estágios [6, 7].

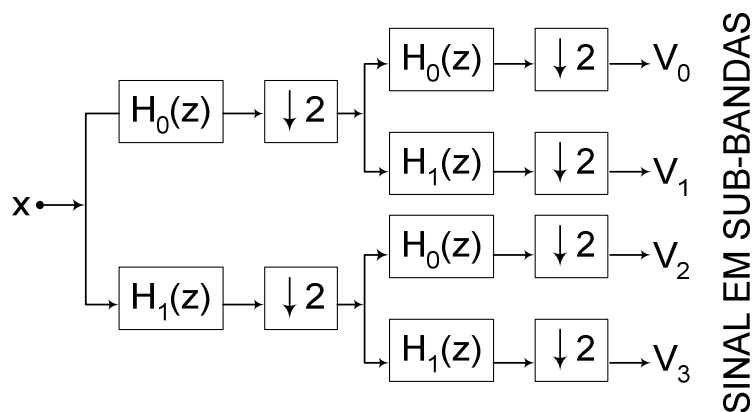


Figura 1.2: filtros de análise.

No sistema apresentado os decimadores reduzem sucessivamente a taxa de amostragem do sinal de entrada por um fator de 2. Com este arranjo, as saídas do banco de análise podem ser escritas na forma

$$\begin{bmatrix} V_0 \\ V_1 \\ V_3 \\ V_2 \end{bmatrix} = \begin{bmatrix} 1 & 1 & 1 & 1 \\ 1 & 1 & -1 & -1 \\ 1 & -1 & -1 & 1 \\ 1 & -1 & 1 & -1 \end{bmatrix} \cdot \begin{bmatrix} z^0 \\ z^{-1} \\ z^{-2} \\ z^{-3} \end{bmatrix} \cdot x \quad (1.3)$$

onde a matriz composta por elementos ± 1 é uma matriz de Hadamard de ordem 4. Os bancos de filtros que implementam transformadas ortogonais, como é o caso presente, são estruturalmente mais simples e de complexidade computacional reduzida [8, 9, 10].

Para a implementação do sistema num processo de fabricação CMOS utiliza-se uma estrutura de capacitores chaveados (SC) para realizar os filtros de análise. Tendo em vista a crescente demanda por sistemas mais rápidos, nos mais diversos campos de aplicação, é objetivo deste trabalho fazer com que o sistema projetado seja o mais rápido possível para o processo de fabricação selecionado. Dessa forma, os amplificadores operacionais utilizados no circuito possuem poucos transistores em sua estrutura o que reduz as capacitâncias parasitas internas e torna possível o projeto de amplificadores mais rápidos. No entanto, amplificadores operacionais estruturalmente mais simples apresentam ganho DC reduzido.

Os amplificadores operacionais de transcondutância (OTAs) utilizados no projeto do circuito [11] apresentam ganho DC moderado (~ 200 V/V), o que implica num maior erro na tensão de saída em relação a um valor esperado. Para contornar este problema utiliza-se um esquema de compensação de não idealidades dos amplificadores operacionais [12]. Os efeitos de ganho DC finito (A_0) e *offset* (V_{off}) são compensados. A síntese das funções de transferência indicadas nas Eqs. (1.1) e (1.2) foi realizada segundo a proposta apresentada em [6, 7].

Capítulo 2

Implementação do Sistema

A implementação de um banco de filtros de Hadamard de 4ª ordem será apresentada neste Capítulo. Inicialmente são apresentadas as estruturas básicas que vão compor o banco de filtros, ou seja, os blocos que sintetizam as funções de transferência

$$H_0(z) = 1 + z^{-1} \quad (2.1)$$

e

$$H_1(z) = 1 - z^{-1} \quad (2.2)$$

No que diz respeito às estruturas que realizarão essas funções de transferência, algumas considerações devem ser feitas: sistemas que operam em taxas de amostragem elevadas fazem uso de OTAs mais rápidos mas que possuem ganho DC reduzido, devido à simplicidade estrutural. Ainda, conforme foi possível constatar no Capítulo 1, o banco de filtros de Hadamard consiste no encadeamento dos blocos básicos $H_0(z)$ e $H_1(z)$ em diversos ramos, onde o sinal é processado. Deseja-se que nesse caminho do

sinal em cada ramo o mesmo sofra efeito reduzido de não idealidades dos OTAs (ganho DC finito e *offset*), garantindo assim as condições para que a reconstrução do sinal $x(n)$ seja perfeita.

Neste Capítulo são apresentadas as estruturas que visam a compensar o ganho DC finito e o *offset* dos OTAs que são utilizados no sistema. Na Seção 2.1 são discutidas as estruturas não compensadas para realização de $H_0(z)$ e $H_1(z)$ pois as mesmas serão usadas como base para comparações de desempenho com as estruturas compensadas, apresentadas em seguida. Os espectros nas saídas do banco de filtros são apresentados na Seção 2.2 onde se efetua a comparação de desempenho das estruturas compensada e não compensada.

2.1 Estruturas Básicas

Nas Seções a seguir serão apresentadas as estruturas escolhidas para realizar as funções de transferência $H_0(z)$ e $H_1(z)$. Inicialmente são apresentadas estruturas que não possuem compensação de ganho DC finito (A_0) e *offset* (V_{off}) dos OTAs (Seção 2.1.1), em seguida (Seção 2.1.2) apresenta-se o meio-atrasador ($z^{-1/2}$) compensado que é parte integrante das estruturas de $H_0(z)$ e $H_1(z)$ compensados (Seções 2.1.3 e 2.1.4). Para cada estrutura determinam-se as funções de transferência observadas nas fases de interesse, considerando os efeitos das não idealidades dos OTAs (A_0 e V_{off}).

2.1.1 Estruturas $H_0(z)$ e $H_1(z)$ Não Compensadas

O circuito apresentado na Fig. 2.1 implementa a função de transferência $H_0(z)$. O funcionamento do circuito pode ser sucintamente explicado considerando inicialmente que todos os capacitores estão descarregados, que os OTAs são ideais e que o sinal de entrada observado na fase 1 (V_{in1}) é um pulso de tensão.

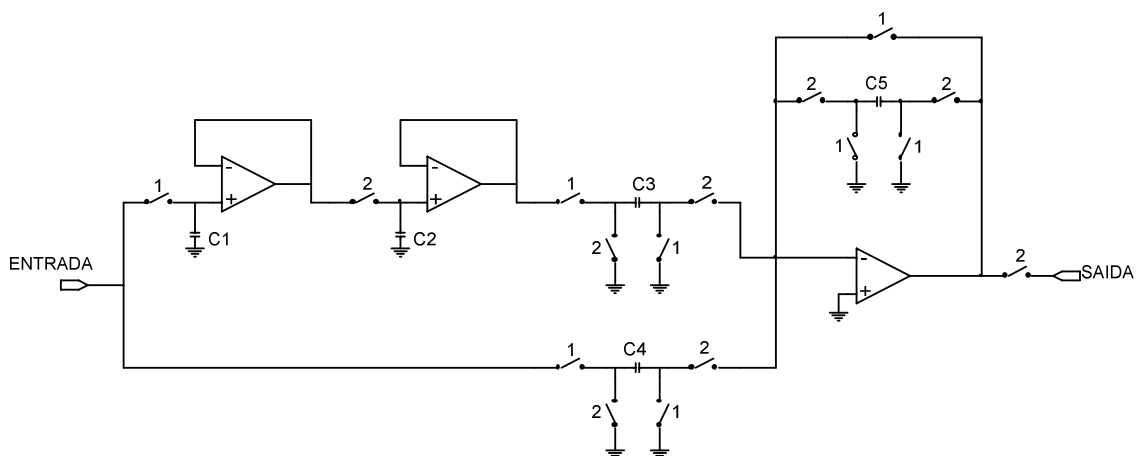


Figura 2.1: $H_0(z)$ não compensado.

Na fase 1, C_1 e C_4 se carregam com o pulso de entrada V_{in1} , na fase 2 C_2 se carrega com V_{in1} e a carga armazenada em C_4 é transferida para C_5 , a saída do OTA assume o mesmo valor de V_{in1} (se $C_4 = C_5$). Na fase 1 seguinte, C_3 se carrega com V_{in1} e C_4 se carregaria com o novo valor do sinal de entrada (que neste caso é nulo), a chave que liga a saída do OTA à sua entrada inversora mantém o mesmo em malha fechada durante esta fase. Na fase 2 seguinte a carga de C_3 é transferida para C_5 e a saída do OTA assume novamente o valor de V_{in1} (se $C_3 = C_5$). O circuito sintetiza a função de transferência

$$\frac{V_{o2}}{V_{in1}} = [1 + z^{-1}] z^{-1/2} \quad (2.3)$$

Considerando-se as não idealidades dos OTAs (A_0 e V_{off}), é possível deduzir a função de transferência do circuito para que se tenha uma idéia da influência das mesmas sobre a tensão de saída, na fase 2.

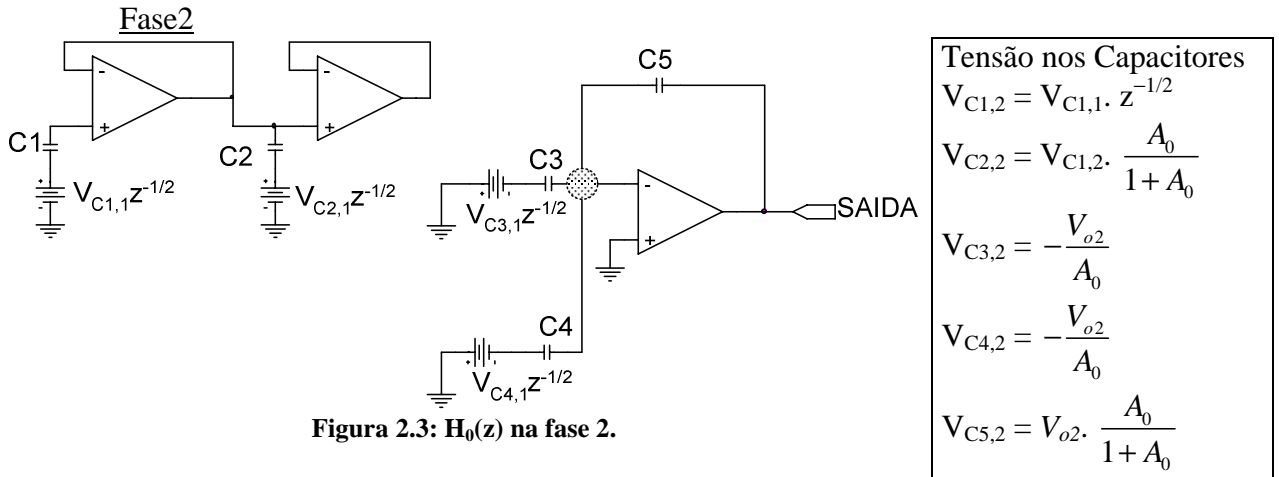
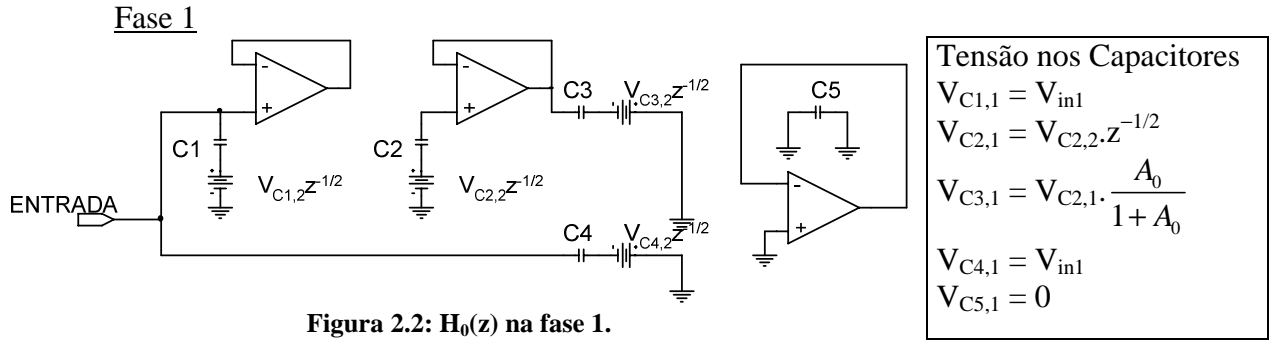
A análise do circuito foi feita tendo como base a metodologia apresentada em [13]. Com o intuito de facilitar a mesma, consideram-se separadamente as influências de A_0 e de V_{off} na resposta do circuito. A notação $V_{C_n,m}$ diz respeito à carga do capacitor C_n na fase m . A estrutura equivalente do circuito em cada fase é apresentada nas Figs. 2.2 e 2.3.

Sendo considerado o efeito de ganho DC finito do OTA, não existe curto-circuito virtual entre os terminais de entrada dos OTAs. Então:

$$V_- = -\frac{V_o}{A_0} \quad (2.4)$$

Para simplificar as equações de conservação de carga adota-se

$$\gamma = \frac{A_o}{1 + A_o} \quad (2.5)$$



No nó indicado na Fig. 2.3 há conservação de carga, então:

$$-C_3(-V_{C3,1} \cdot z^{-1/2} - V_-) - C_4(-V_{C4,1} \cdot z^{-1/2}) + C_5(V_- - (V_{o2} + V_{C5,1} \cdot z^{-1/2})) = 0 \quad (2.6)$$

Efetuada as substituições necessárias e manipulando a Eq. (2.6) determina-se a função de transferência do circuito:

$$\frac{V_{o2}}{V_{in1}} = \frac{C_3 \gamma^2 z^{-1} + C_4}{(C_3 + C_4) \frac{1 - \gamma}{\gamma} + \frac{C_5}{\gamma}} z^{-1/2} \quad (2.7)$$

Considerando ainda $C_3 = C_4 = C_5$, a função de transferência assume a forma

$$\frac{V_{o2}}{V_{in1}} = \left[\frac{\gamma}{2(1 - \gamma) + 1} \cdot 1 + \frac{\gamma^3}{2(1 - \gamma) + 1} z^{-1} \right] z^{-1/2} \quad (2.8)$$

É fácil observar que se obtém o resultado esperado quando $A_0 \rightarrow \infty$ ($\gamma \rightarrow 1$)

$$\frac{V_{o2}}{V_{in1}} = [1 + z^{-1}] z^{-1/2} \quad (2.9)$$

As equações acima confirmam dois fatos: primeiramente que o circuito realiza a função de transferência desejada, a menos de um meio-atraso, indicado pelo termo $z^{-1/2}$; e também que a influência do ganho DC finito é notável. Considerando, por exemplo, $A_0 = 200$ tem-se:

$$\frac{V_{o2}}{V_{in1}} = [0,9852 + 0,9754z^{-1}] z^{-1/2} \quad (2.10)$$

Ou seja, há um erro de 1,4% sobre a amostra atual e 2,5% sobre a amostra atrasada. Aparentemente pequeno, o erro calculado se torna problemático ao se encadear tais estruturas para a obtenção do banco de filtros de Hadamard, pois o mesmo se propaga e vai sendo acumulado na estrutura.

Na Fig. 2.4 é apresentado o circuito que sintetiza a função de transferência $H_1(z) = 1 - z^{-1}$. O seu funcionamento é semelhante ao da estrutura apresentada para $H_0(z)$ não compensado, observando-se a alteração do chaveamento realizada em C_4 , que é responsável pelo sinal negativo da amostra atrasada ($-z^{-1}$), e a adição de mais um estágio de atraso para que a função de transferência agora seja:

$$\frac{V_{o2}}{V_{in1}} = [1 - z^{-1}] z^{-1/2} \quad (2.11)$$

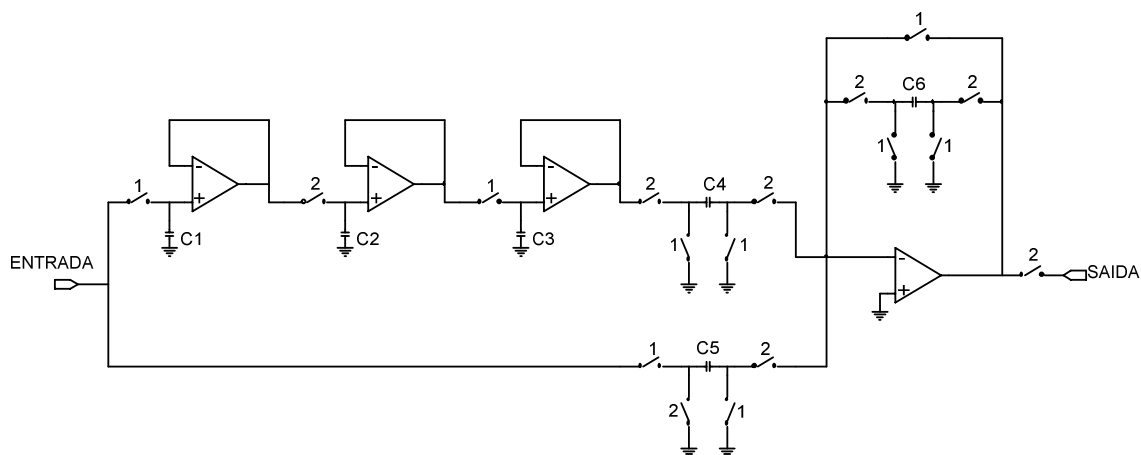


Figura 2.4: $H_1(z)$ não compensado.

Com a metodologia utilizada anteriormente é possível determinar a função de transferência do circuito levando em conta o efeito do ganho DC finito dos OTAs. Com $C_4 = C_5 = C_6$, obtém-se:

$$\frac{V_{o2}}{V_{in1}} = \left[\frac{\gamma}{2(1-\gamma)+1} \cdot 1 - \frac{\gamma^4}{2(1-\gamma)+1} z^{-1} \right] z^{-1/2} \quad (2.12)$$

Considerando $A_0 = 200$, o erro sobre a amostra atual é idêntico àquele para $H_0(z)$ (1,4%) e o erro sobre a amostra atrasada passa a ser 2,9%.

Para o cálculo das funções de transferência $H_0(z)$ e $H_1(z)$ considerando o *offset* dos OTAs adotam-se as seguintes premissas:

- ⇒ Os OTAs com *offset* são modelados como ideais ($A_0 \rightarrow \infty$) com uma fonte DC adicionada na entrada não inversora representando o *offset* (Fig. 2.5).

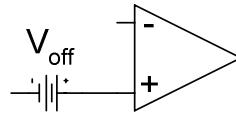


Figura 2.5: modelo de OTA com *offset*.

- ⇒ Os *offsets* dos diferentes OTAs que compõem a estrutura são iguais e não variam com o tempo.
- ⇒ $V_{in1} = 0$.

Para $H_0(z)$ determina-se a saída (V_{o2}):

Tensões nos Capacitores na Fase 1	Tensões nos Capacitores na Fase2
$V_{C1,1} = V_{in1}$	$V_{C1,2} = V_{C1,1} \cdot z^{-1/2}$
$V_{C2,1} = V_{C2,2} \cdot z^{-1/2}$	$V_{C2,2} = V_{C1,2} + V_{off}$
$V_{C3,1} = V_{C2,1} + V_{off}$	$V_{C3,2} = V_{off}$
$V_{C4,1} = V_{in1}$	$V_{C4,2} = V_{off}$
$V_{C5,1} = 0$	$V_{C5,2} = V_{o2} - V_{off}$

Realizando as devidas substituições e manipulações na Eq. (2.6):

$$\frac{V_{o2}}{V_{off}} = 3 + z^{-1/2} + z^{-1} \quad (2.13)$$

Donde se conclui que em 1,5 período do relógio, os *offsets* dos OTAs causam um erro de $5V_{off}$ sobre a amostra de saída na fase de interesse.

Para $H_1(z)$, seguindo metodologia semelhante obtém-se:

$$\frac{V_{o2}}{V_{off}} = 2 - z^{-1/2} - z^{-1} \quad (2.14)$$

De onde se pode observar que os *offsets* se cancelam, não originando erro sobre a amostra de saída..

2.1.2 Meio Atrasador ($z^{-1/2}$) Compensado

O meio atrasador compensado, apresentado na Fig. 2.6, é parte integrante dos blocos $H_0(z)$ e $H_1(z)$. É importante então que se conheça o funcionamento dessa estrutura e a influência das não idealidades do OTA sobre a mesma. Nesta Seção observa-se sucintamente o funcionamento do circuito, e são deduzidas expressões capazes de demonstrar a insensibilidade do meio atrasador a ganho DC finito e *offset*.

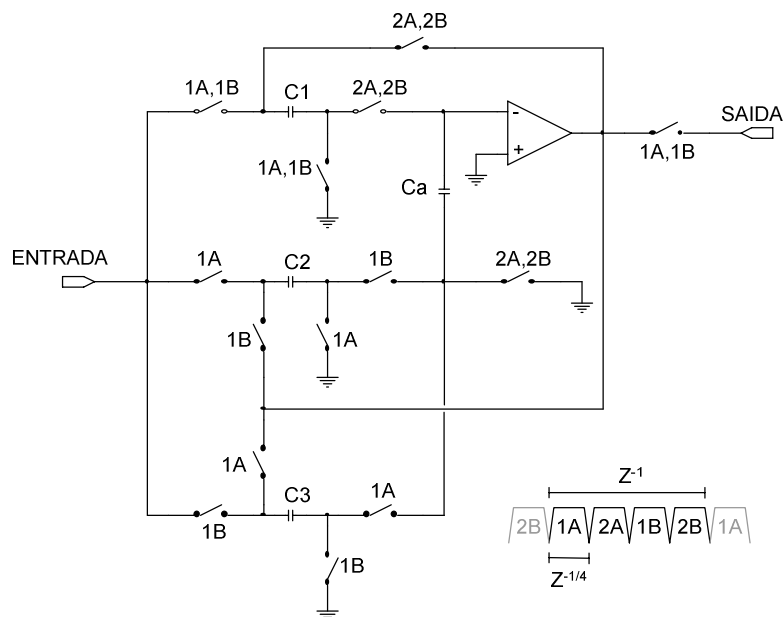
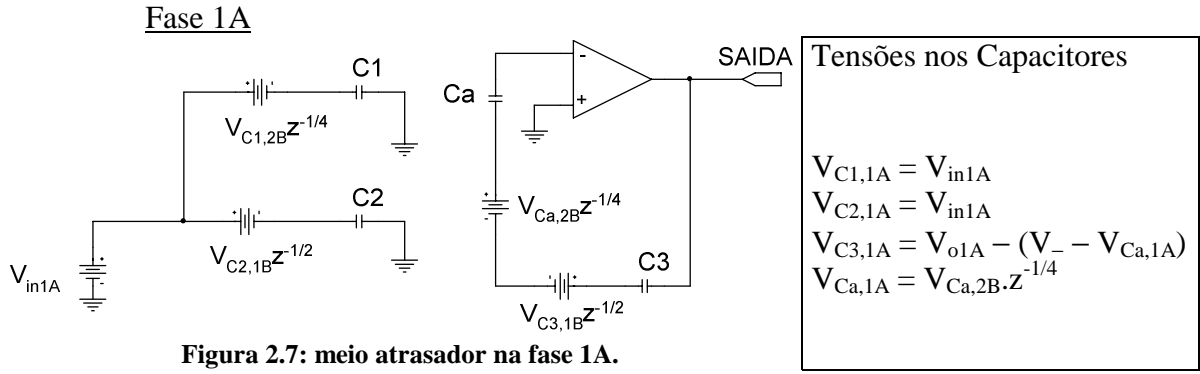


Figura 2.6: meio atrasador compensado.

As fases do circuito se encadeiam da maneira apresentada na Fig. 2.6, onde o sinal de entrada pode ser amostrado a cada fase 1A (ou 1B). Considerando que todos os capacitores estão inicialmente descarregados e que o OTA tem ganho DC finito (A_0), aplicando um pulso de entrada com amplitude V_{in1A} e que ocorre no mesmo instante da fase 1A, tem-se inicialmente C_1 e C_2 carregados com V_{in1A} , C_a e C_3 estão descarregados. Na fase 2A, C_a se carrega com a tensão da entrada inversora ($V_{-,2A}$) que é diferente de V_+ devido ao A_0 finito, a saída assume o valor ($V_{in1A} + V_{-,2A}$). Na fase 1B, C_1 e C_3 se carregam com o novo valor do sinal de entrada (V_{in1B}) enquanto C_a e C_2 estão no caminho de realimentação do OTA. Como C_2 estava carregado com V_{in1A} e C_a com $V_{-,2A}$, observando as polaridades com as quais C_a e C_2 entram na malha de realimentação, nota-se que ocorre o cancelamento de $V_{-,1B}$ com o $V_{-,2A}$ previamente armazenado em C_a e a saída do OTA assume o valor V_{in1A} . O funcionamento descrito se verifica para a situação em que $V_{-,2A} = V_{-,1B}$, o que para o circuito apresentado é razoável, pois $V_- = -\frac{V_o}{A_0}$ e não há grande variação das saídas V_{o2A} e V_{o1B} já que o sinal de entrada é amostrado a cada fase 1A (ou 1B).

Considerando inicialmente apenas o efeito do ganho DC finito do OTA, determinou-se a carga dos capacitores e as equações de conservação de carga em cada fase. Ainda, para a estrutura sugerida [6, 7] não se conhece previamente a relação entre C_a e o restante dos capacitores (C_1 , C_2 e C_3). Para estabelecer esta relação, as expressões de conservação de carga, em função de C_a e γ , são obtidas a seguir. A análise é desenvolvida em cada fase do relógio (Figs. 2.7, 2.8, 2.9, 2.10).

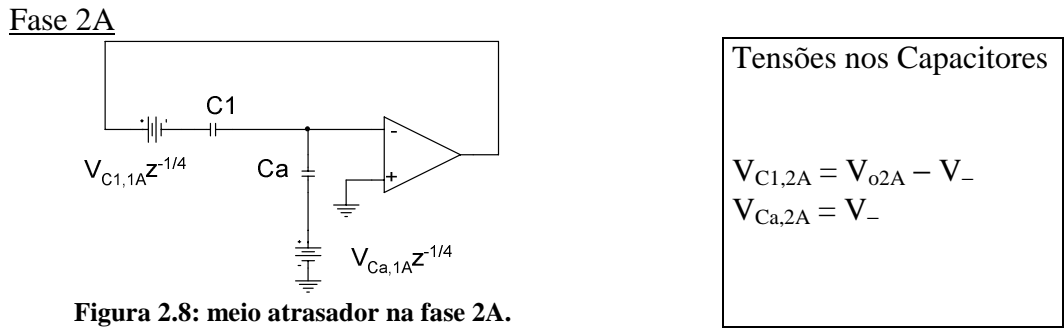


A equação de conservação de carga da fase 1A pode ser escrita na forma:

$$C_a (V_- - (V_{o1A} - V_{C3,1B} z^{-1/2} + V_{Ca,2B} z^{-1/4})) = 0 \quad (2.15)$$

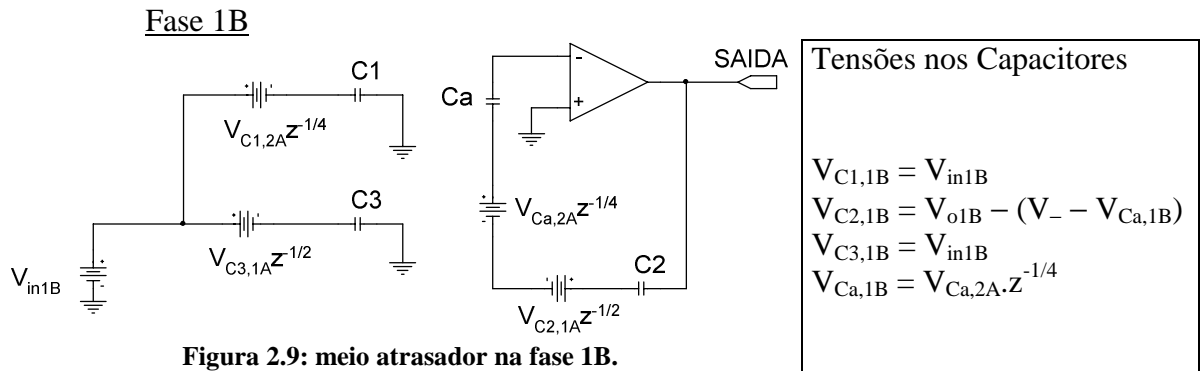
e se transforma em

$$-\gamma V_{o1A} + V_{in1B} z^{-1/2} + (\gamma - 1) V_{o2B} z^{-1/4} = 0 \quad (2.16)$$



Por conservação de carga:

$$-C_1 (\gamma V_{o2A} - V_{in1A} z^{-1/4}) + C_a (-(\gamma - 1) V_{o2A} + (\gamma - 1) V_{o2B} z^{-1/2}) = 0 \quad (2.17)$$



Por conservação de carga:

$$-\gamma V_{o1B} + V_{in1A} z^{-1/2} + (\gamma - 1) V_{o2A} z^{-1/4} = 0 \quad (2.18)$$

Fase 2B

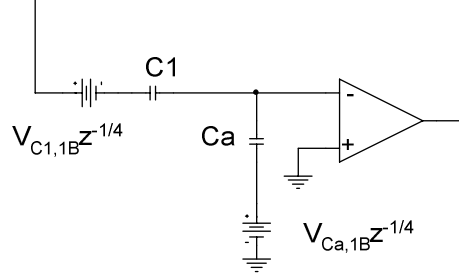


Figura 2.10: meio atrasador na fase 2B.

Tensões nos Capacitores

$$\begin{aligned} V_{C1,2B} &= V_{o2B} - V_- \\ V_{Ca,2B} &= V_- \end{aligned}$$

Por conservação de carga:

$$-C_1(\gamma W_{o2B} - V_{in1B} z^{-1/4}) + C_a(-(\gamma - 1)V_{o2B} + (\gamma - 1)V_{o2A} z^{-1/2}) = 0 \quad (2.19)$$

Resolvendo o sistema composto pelas equações (2.16), (2.17), (2.18) e (2.19), considerando $C_1 = C_2 = C_3 = C_x$, onde C_x representa a capacitância unitária do circuito, obtém-se a função de transferência.

$$\frac{V_{o1B}}{V_{in1A}} = \frac{V_{o1A}}{V_{in1B}} = \frac{Az^{-1/2} + Bz^{1/2}}{E + Dz} \quad (2.20)$$

onde,

$$A = C_a \left(1 - \frac{C_a}{C_x}\right) (\gamma^2 - 2\gamma + 1) \quad (2.21)$$

$$B = \frac{C_a^2}{C_x^2} (\gamma^2 - 2\gamma + 1) + \frac{C_a}{C_x} (3\gamma^2 - 4\gamma + 1) + \gamma(2\gamma - 1) \quad (2.22)$$

$$E = \gamma C_a^2 (-\gamma^2 + 2\gamma - 1) \quad (2.23)$$

$$D = \gamma(\gamma^2 + 2\frac{C_a}{C_x}\gamma(\gamma - 1) + \frac{C_a^2}{C_x^2}(\gamma^2 - 2\gamma + 1)) \quad (2.24)$$

Pode-se notar que quando $\gamma \rightarrow 1$ tem-se $A = 0$, $B = 1$, $E = 0$ e $D = 1$, e neste caso ideal a função de transferência assume a forma esperada:

$$\frac{V_{o1B}}{V_{in1A}} = z^{-1/2} \quad (2.25)$$

Para $C_a = C_x$ observa-se que o termo A se anula. De fato, fazer a capacitância C_a na mesma proporção das outras capacitâncias do circuito é conveniente para diminuir a dispersão entre os capacitores no momento da implementação [14]. Para que se tenha uma estimativa inicial do ganho do OTA, primeiramente apresenta-se a função de transferência $\frac{V_{o1B}}{V_{in1A}}$ de uma outra forma:

$$\frac{V_{o1B}}{V_{in1A}} \cong \frac{B}{D} z^{-1/2} - \frac{BE}{D^2} z^{-3/2} + \dots \quad (2.26)$$

É esperado que o coeficiente do primeiro termo da função de transferência se aproxime de 1 e que o segundo se aproxime de zero. Observa-se no gráfico a seguir (Fig. 2.11) como se dá a variação do erro relativo entre o termo $\frac{B}{D}$ e a unidade, em função de A_0 .

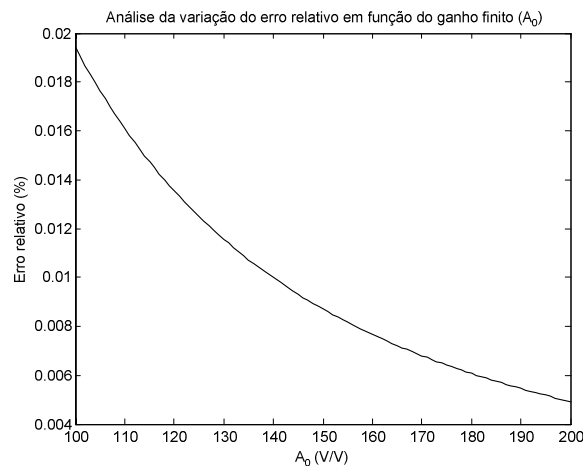


Figura 2.11: erro relativo versus A_0 .

Convém escolher um valor de ganho que acarrete num erro relativo bem pequeno, por exemplo, menor ou igual a 0,01%. Isto se dá porque, nesse momento, efetua-se a análise do efeito de somente uma das não idealidades do OTA, o ganho DC finito. Ainda devem ser considerados, em etapas posteriores, o *offset* e as capacitâncias

de *gate* presentes nas entradas dos OTAs (C_p). Quando o efeito de todas as não idealidades for observado, é desejável que o erro relativo permaneça em 0,1%, visando a uma aplicação típica de sistemas dessa natureza com conversores A/D de 8 bits. A partir do gráfico nota-se que $A_0 > 140$ atende à condição de erro desejada.

Com $A_0 = 200$ e $C_a = 1$, calculam-se os valores de B , E , D e estima-se o erro sobre a amostra de saída do circuito, na fase de interesse:

$$\frac{V_{o1B}}{V_{in1A}} = \frac{V_{o1A}}{V_{in1B}} \cong 0.99995z^{-1/2} + 25.10^{-6}z^{-3/2} + \dots \quad (2.27)$$

De forma que se tem o erro cometido sobre a amostra de saída na fase 1B aproximadamente igual a 0,005%. Com isto confirma-se o fato de que o circuito é fortemente insensível ao efeito de ganho DC finito do OTA e que $C_a = C_x$ não afeta este funcionamento.

Para o cálculo da influência do *offset* no meio-atrasador compensado foi utilizada uma metodologia diferente do caso das estruturas não compensadas: ambos os efeitos de *offset* e ganho DC finito foram considerados simultaneamente no desenvolvimento das equações de conservação de carga. Neste caso a tensão de erro presente na entrada inversora do OTA não atende mais à Eq. (2.4), a dedução de sua nova expressão é feita no Apêndice A e apresentada a seguir.

$$\begin{aligned} V_- = & \frac{A_0}{1 + A_0 + \frac{Z_x}{Z_1 // Z_2 // \dots // Z_n}} V_{off} + \\ & + \sum_{i=1}^n \frac{[Z_1 // Z_2 // \dots // Z_n // Z_x / (A_0 + 1)]}{Z_i} V_i + \\ & + \frac{1 + \frac{Z_x}{Z_1 // Z_2 // \dots // Z_n}}{1 + A_0 + \frac{Z_x}{Z_1 // Z_2 // \dots // Z_n}} V_a \end{aligned} \quad (2.28)$$

Onde as impedâncias Z_i e as fontes de tensão V_a , V_i e V_{off} , dizem respeito ao circuito usado como referência para a dedução em questão (Fig. A.5).

Resolvendo a equação de conservação de carga da fase 1A, determina-se a função de transferência do circuito assumindo que todos os capacitores são iguais a C_x e que $V_{in} = 0$:

$$\frac{V_{olB}}{V_{off}} = \frac{V_{olA}}{V_{off}} = \frac{Az + Bz^{3/4} + Gz^{1/4} + D}{Ez + F} \quad (2.29)$$

onde,

$$A = 4\gamma^2 - 4\gamma + 1 \quad (2.30)$$

$$B = -2\gamma^2 + \gamma \quad (2.31)$$

$$G = -\gamma^2 + \gamma \quad (2.32)$$

$$D = -\gamma^2 + 2\gamma - 1 \quad (2.33)$$

$$E = \gamma(4\gamma^2 - 4\gamma + 1) \quad (2.34)$$

$$F = \gamma(-\gamma^2 + 2\gamma - 1) \quad (2.35)$$

Pelas Eqs. (2.30) – (2.35), quando $\gamma \rightarrow 1$ a função de transferência assume a forma:

$$\frac{V_{olB}}{V_{off}} = \frac{V_{olA}}{V_{off}} = 1 - z^{-1/4} \quad (2.36)$$

Observa-se então que quando $A_0 \rightarrow \infty$ a estrutura é insensível ao *offset*, já que a cada $\frac{1}{4}$ de período do relógio há o cancelamento de amostras de fases sucessivas, supondo que o *offset* não varie de uma fase para outra. No entanto é preciso observar cuidadosamente o resultado para o caso em que A_0 é finito. Supondo, como feito anteriormente, $A_0 = 200$ e fazendo $V_{off} = 30$ mV, encontra-se:

$$\frac{V_{olB}}{V_{off}} = \frac{V_{olA}}{V_{off}} \cong 29,85 \cdot 10^{-3} - 29,70 \cdot 10^{-3} z^{-1/4} - 0,147 \cdot 10^{-3} z^{-3/4} + \dots \quad (2.37)$$

A tensão de *offset* igual a 30 mV foi assim escolhida pelo fato de gerar erro de 150 mV (Eq. 2.13) na saída de $H_0(z)$ não-compensado. Adotando um pulso unitário como sinal de entrada dos circuitos analisados, o erro relativo na saída de $H_0(z)$ não-compensado, devido ao *offset*, é de 15%. Um valor consideravelmente alto e adequado para efeitos de comparação com os circuitos compensados.

A diferença entre os dois primeiros termos da Eq. (2.37) vai fornecer a medida da sensibilidade do circuito ao efeito conjunto de *offset* e ganho DC finito. No caso apresentado a diferença é de $147,0 \times 10^{-6}$, o que indica forte insensibilidade aos efeitos considerados. Ao se aplicar um pulso unitário de duração igual a fase 1A (ou 1B) como sinal de entrada V_{in} , observou-se em simulação que o erro cometido em relação ao valor final esperado é de aproximadamente 0,01%. É desejável que o erro relativo seja mantido nessa faixa, pois ainda falta observar o efeito da capacitância de *gate* dos OTAs sobre a resposta do circuito, o que vai acarretar num aumento do erro relativo. Este efeito será estimado em simulações e apresentado na Seção 2.1.3.

Em resumo, as conclusões obtidas das análises efetuadas com o circuito meio-atrasador, considerando $A_0 = 200$, são:

- ⇒ $C_1 = C_2 = C_3 = C_a = C_x$ resulta em erro de 0,005%.
- ⇒ *Offset*: Se $A_0 \rightarrow \infty$ o circuito é insensível. Com A_0 finito ($= 200$) e $V_{off} = 30$ mV tem-se erro de 0,01%.

2.1.3 Estruturas $H_0(z)$ e $H_1(z)$ Compensadas

Nesta Seção são deduzidas expressões que permitem observar a influência de não-idealidades dos OTAs (ganho DC finito, *offset*) no funcionamento dos blocos que sintetizam as funções de transferência $H_0(z)$ e $H_1(z)$. Observa-se sucintamente o funcionamento dos circuitos e é avaliada a possibilidade de se estabelecer razão unitária de capacitâncias entre C_a e as outras capacitâncias dos circuitos. Em seguida observa-se a influência conjunta de ganho DC finito e *offset* no funcionamento dos circuitos. A dedução das funções de transferência dos circuitos levando em conta todas as não idealidades dos OTAs (ganho DC finito, *offset* e capacitâncias de *gate*), apesar de possível, seria demasiadamente complexa e fora do propósito deste trabalho. Dessa forma o erro causado pela presença de capacitâncias de *gate* dos OTAs é estimado por simulação. A análise sistemática da influência de capacitâncias de *gate* foi realizada para o meio-atrasador e se encontra no Apêndice A.

A estrutura do bloco responsável pela síntese de $H_0(z)$ é apresentada na Fig. 2.12.

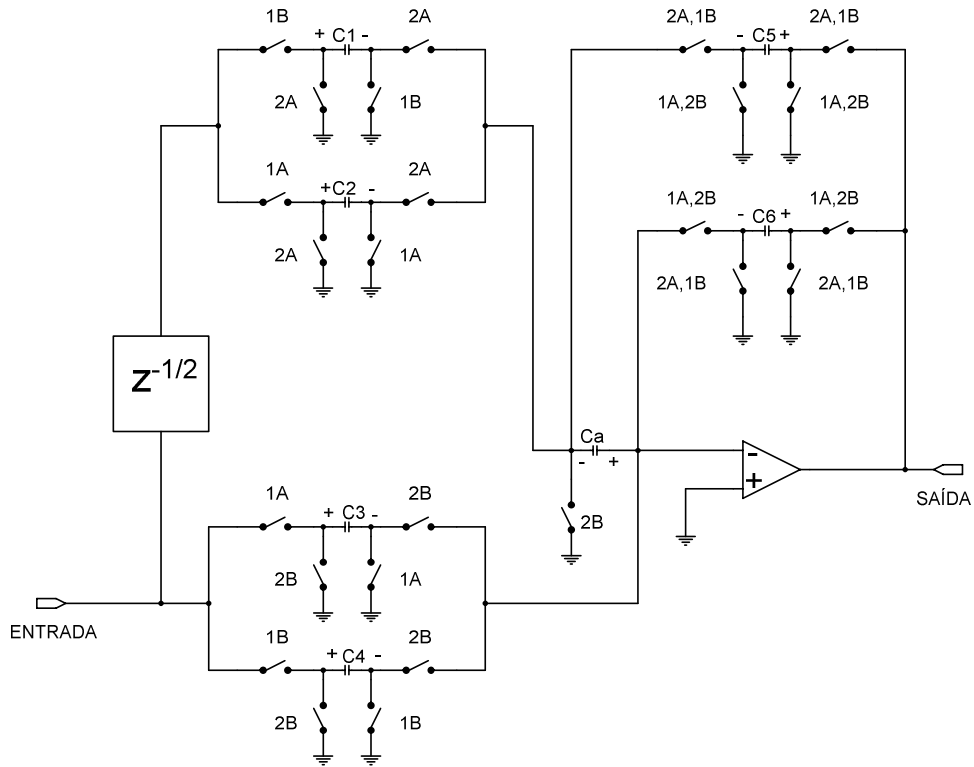


Figura 2.12: circuito compensado que sintetiza $H_0(z)$.

Para que o circuito sintetize a função de transferência desejada, o sinal de entrada deve ser amostrado na fase 1B. O funcionamento de $H_0(z)$ pode ser melhor explicado com o auxílio da Fig. 2.13 que mostra a tensão nos capacitores do circuito.

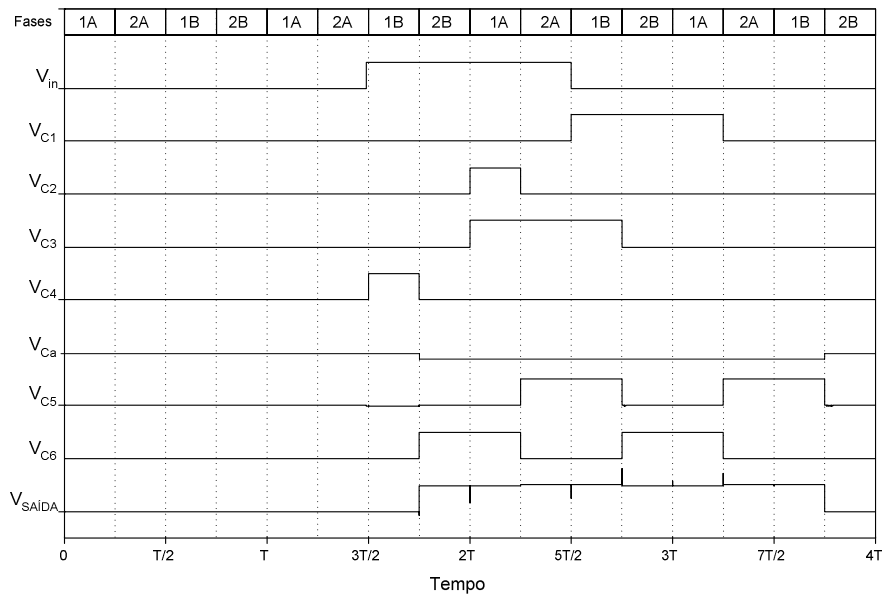


Figura 2.13: tensões nos capacitores do circuito que realiza $H_0(z)$.

Considerando inicialmente que todos os capacitores estão descarregados e que o sinal de entrada é um pulso unitário com duração igual à seqüência de fases 1B, 2B, 1A e 2A, na fase 1B, C_4 se carrega com V_{in1B} . Na fase 2B esta carga armazenada em C_4 é parcialmente transferida para C_6 pois a tensão de erro, devido ao ganho DC finito, presente na entrada inversora do OTA ($V_{-,2B}$) deve ser carregada em C_a e C_3 , e o próprio C_4 não se descarrega totalmente. A saída do OTA assume o valor $V_{in1B} - 3V_{-,2B}$. Na fase 1A, V_{in1A} é armazenada em C_3 e, devido ao meio-atrasador, V_{in1B} é armazenada em C_2 . Na fase 2A ocorre a compensação: C_1 e C_2 transferem suas cargas para C_5 , sendo que C_1 está descarregado na situação exemplificada. Na malha de realimentação do OTA tem-se C_5 e C_a que foi previamente carregado com a tensão de erro da fase 2B. A tensão de erro presente na entrada inversora do OTA ($V_{-,2A}$) vai ser cancelada com a carga de C_a e a saída do OTA assume o valor V_{in1B} . Esta conclusão é válida para a situação em que $V_{-,2A} = V_{-,2B}$, o que é razoável para a situação descrita pois $V_- = -\frac{V_o}{A_o}$ e a saída do circuito não varia consideravelmente da fase 2B para a fase 2A. Ainda nas fases 1A e 1B o OTA permanece em malha fechada evitando que a saída assuma um valor indefinido. Continuando a seqüência de fases, em 1B, C_1 se carrega com V_{in1A} ($= V_{in1B}$). Na próxima fase 2B C_3 transfere parte de sua carga para C_6 e a saída vai para aproximadamente V_{in1B} . Na fase 2A seguinte ocorre a transferência de carga de C_1 para C_5 , a compensação através de C_a e a saída vai a V_{in1B} . Dessa forma o circuito realiza a função de transferência desejada a menos de um atraso:

$$H_0(z) = \frac{V_{o2A}}{V_{in1B}} = z^{-3/4}(1 + z^{-1}) \quad (2.38)$$

Na Fig. 2.14 é apresentada a estrutura responsável por implementar a função de transferência $H_1(z)$. Ainda, com o auxílio da Fig. 2.15 fica mais clara a compreensão do funcionamento do circuito.

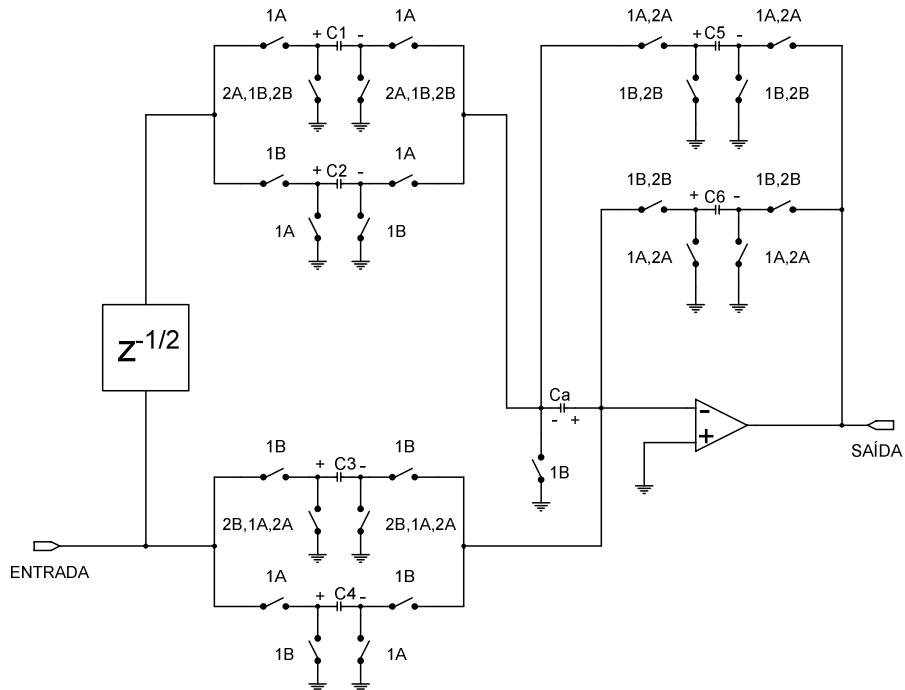


Figura 2.14: circuito compensado que sintetiza $H_0(z)$.

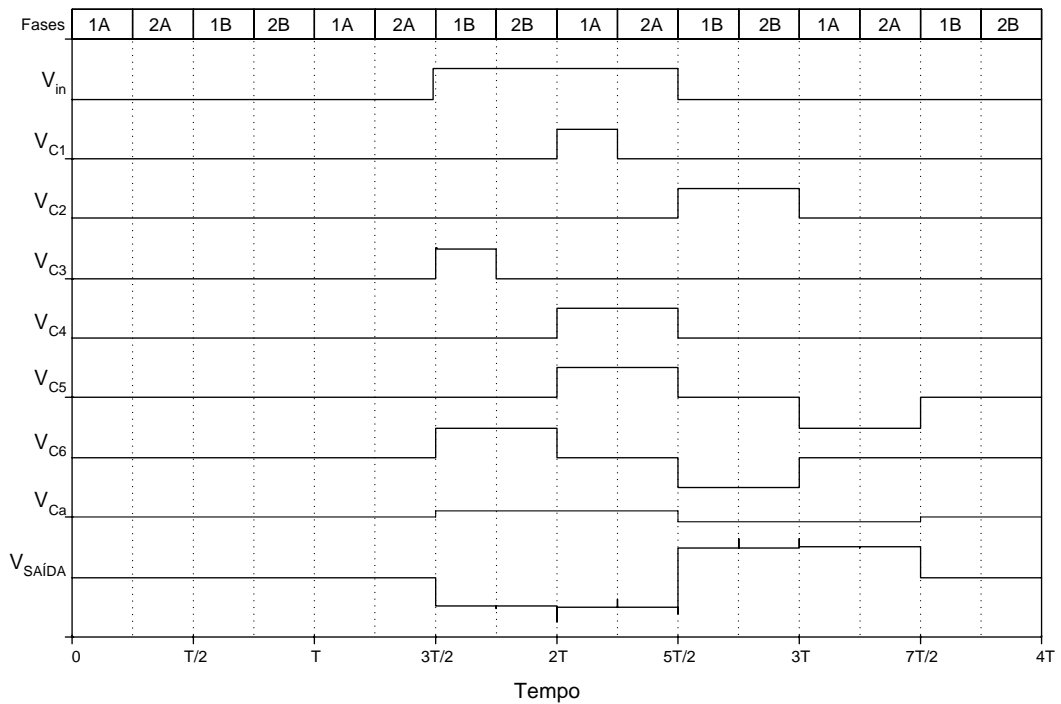


Figura 2.15: tensões nos capacitores do circuito que realiza $H_1(z)$.

Considerando que todos os capacitores estão inicialmente descarregados e o sinal de entrada idêntico ao utilizado para o caso de $H_0(z)$, na fase 1B C_3 se carrega com $V_{in1B} - V_{-,1B}$ onde $V_{-,1B}$ é a tensão de erro presente na entrada inversora do OTA, devido ao ganho DC finito. O capacitor C_6 se carrega com $V_{in1B} - 2V_{-,1B}$ pois C_a e C_4 também são carregados com a tensão de erro. A saída do circuito assume o valor $-V_{in1B} + 3V_{-,1B}$. Na fase 1A C_4 se carrega com V_{in1A} e C_1 transfere sua carga para C_5 ; como C_a está com $V_{-,1B}$ armazenada, esta se cancela com $V_{-,1A}$ presente na entrada inversora do OTA e a saída do circuito vai a $-V_{in1B}$, considerando $V_{-,1A} = V_{-,1B}$. Seguindo a seqüência percebe-se que na próxima fase 1B a carga de C_4 será transferida para C_6 , a saída apresentará um erro. Na próxima fase 1A, C_2 transfere a carga previamente armazenada em 1B (V_{in1A}) para C_5 e a compensação é realizada, levando a saída para a tensão V_{in1B} . A função de transferência resultante para $H_1(z)$ apresenta uma inversão de fase e um atraso de forma que:

$$H_1(z) = \frac{V_{o1A}}{V_{in1B}} = -z^{-1/2}(1 - z^{-1}) \quad (2.39)$$

Com metodologia semelhante à utilizada para o meio-atrasador, foram determinadas as funções de transferência de $H_0(z)$ e de $H_1(z)$ considerando o efeito do ganho DC finito do OTA. As expressões encontradas são funções de γ e C_a , já que inicialmente não é conhecida a relação entre C_a e as outras capacitâncias dos circuitos. Considera-se o meio-atraso presente nas estruturas de $H_0(z)$ e de $H_1(z)$ como ideal e observa-se o impacto de se estabelecer uma relação unitária entre C_a e C_i ($i = 1, \dots, 6$) sobre o erro cometido na saída dos circuitos, nas fases de interesse (2A para $H_0(z)$ e 1A para $H_1(z)$). A expressão encontrada para $H_0(z)$ é:

$$H_0(z) = \frac{V_{o2A}}{V_{in1B}} = \frac{Az^2 + Bz + F}{Dz^{1/4} + Ez^{7/4}} \quad (2.40)$$

onde,

$$A = \frac{C_a}{C_x}(\gamma - 1) + 6\gamma - 5 \quad (2.41)$$

$$B = 6\gamma - 5 \quad (2.42)$$

$$F = C_a(1 - \gamma) \quad (2.43)$$

$$D = \frac{C_a}{C_x}(3\gamma^2 - 5\gamma + 2) + 9\gamma^2 - 12\gamma + 4 \quad (2.44)$$

$$E = -C_a(3\gamma^2 - 5\gamma + 2) \quad (2.45)$$

Na situação ideal, com $A_0 \rightarrow \infty$ ($\gamma \rightarrow 1$), e $C_a = C_x$ tem-se $A = 1$, $B = 1$, $F = 0$,

$D = 1$, $E = 0$ e a função de transferência assume a forma esperada

$$H_0(z) = \frac{V_{o2A}}{V_{in1B}} = \frac{z^2 + z}{z^{11/4}} = z^{-3/4}(1 + z^{-1}) \quad (2.46)$$

No caso de $H_1(z)$ a função de transferência obtida é da seguinte forma:

$$\frac{V_{o1A}}{V_{in1B}} = -\frac{Az^2 + Bz + F}{Dz^{5/2} + Ez^{3/2}} \quad (2.47)$$

onde,

$$A = \frac{C_a}{C_x}(\gamma - 1) + 6\gamma - 5 \quad (2.48)$$

$$B = 2\frac{C_a}{C_x}(1 - \gamma) - 6\gamma + 5 \quad (2.49)$$

$$F = C_a(\gamma - 1) \quad (2.50)$$

$$D = \frac{C_a}{C_x}(3\gamma^2 - 5\gamma + 2) + 9\gamma^2 - 12\gamma + 4 \quad (2.51)$$

$$E = -C_a(3\gamma^2 - 5\gamma + 2) \quad (2.52)$$

Mais uma vez, com $\gamma \rightarrow 1$, e $C_a = C_x$ tem-se $A = 1$, $B = -1$, $F = 0$, $D = 1$, $E = 0$

e a função de transferência de $H_1(z)$ se torna

$$H_1(z) = \frac{V_{o1A}}{V_{in1B}} = -\frac{z^2 - z}{z^{5/2}} = -z^{-1/2}(1 - z^{-1}) \quad (2.53)$$

Escolhendo $A_0 = 200$ e $C_a = C_x$ obtém-se a estimativa do erro sobre as amostras de saída, nas fases de interesse:

$$H_0(z) = \frac{V_{o2A}}{V_{in1B}} \cong z^{-3/4}(0,9997 + 0,9998z^{-1} + 71,4 \cdot 10^{-6} z^{-2}) \quad (2.54)$$

$$H_1(z) = \frac{V_{o1A}}{V_{in1B}} \cong -z^{-1/2}(0,9997 + 0,9996z^{-1} + 70,7 \cdot 10^{-6} z^{-2}) \quad (2.55)$$

A análise realizada revela que o erro relativo causado nas amostras de saída se situa na faixa que vai de 0,02% a 0,04%. Conclui-se, para ambos os circuitos, que a razão unitária entre todas as capacitâncias não restringe o funcionamento dos mesmos e que, de fato, os circuitos são fortemente insensíveis a ganho DC finito.

Levando em conta o efeito de *offset*, e considerando também que $C_a = C_x$ e que $V_{in1B} = 0$, para facilitar a visualização da expressão, as funções de transferência para $H_0(z)$ e $H_1(z)$, nas respectivas fases de interesse (2A e 1A), ficam iguais e da forma:

$$\frac{V_o}{V_{off}} = 3 \frac{Az + Bz^{1/2} + F}{Dz + E} \quad (2.56)$$

onde,

$$A = 4\gamma - 3 \quad (2.57)$$

$$B = -1 \quad (2.58)$$

$$C = -\gamma + 1 \quad (2.59)$$

$$D = 12\gamma^2 - 17\gamma + 6 \quad (2.60)$$

$$E = -(3\gamma^2 - 5\gamma + 2) \quad (2.61)$$

Se $\gamma \rightarrow 1$, tem-se

$$\frac{V_o}{V_{off}} = 3(1 - z^{-1/2}) \quad (2.62)$$

Portanto, se o OTA tiver ganho DC infinito, o efeito do *offset* vai ser cancelado pela subtração entre amostras sucessivas. No caso em que $A_0 = 200$ tem-se

$$\frac{V_o}{V_{off}} \cong 2,9556 - 2,8977z^{-1/2} \quad (2.63)$$

E o resultado da subtração entre amostras sucessivas indica que existe um erro devido ao *offset* da ordem de $0,0579V_{off}$. Quando $V_{off} = 30$ mV o erro é de 1,74 mV e o efeito total pode ser compreendido como um erro relativo sobre as amostras de saída da ordem de 0,1%, tanto para $H_0(z)$ como para $H_1(z)$, considerando um sinal de entrada $V_{in1B} = 1$ V.

Para se ter uma idéia da influência das capacitâncias de *gate* dos OTAs sobre a resposta do circuito, realizaram-se simulações em que todas as não-idealidades consideradas neste trabalho são levadas em conta simultaneamente (ganho DC finito, *offset*, capacitâncias de *gate*). Tendo em vista o limite de erro desejado para as amostras na saída dos circuitos (0,1 %), observou-se que capacitâncias dos circuitos da ordem de 2 vezes maiores que as capacitâncias de *gate* resulta em erro de 0,2%. Para que o erro fique na faixa desejada é necessário que as capacitâncias dos circuitos sejam no mínimo 10 vezes maiores que as capacitâncias de *gate* do par diferencial de entrada dos OTAs.

Compara-se ainda o custo, em termos da complexidade, de cada um dos blocos básicos – $H_0(z)$ e $H_1(z)$ – dos circuitos compensado e não-compensado (Tabela 2.1).

TABELA 2.1 – COMPARAÇÃO DE COMPLEXIDADE DOS BLOCOS BÁSICOS COMPENSADO E NÃO-COMPENSADO.

	$H_0(z)$		$H_1(z)$	
	Compensado	Não-compensado	Compensado	Não-compensado
Capacitância total	$11C_x$	$5C_x$	$11C_x$	$6C_x$
Nº de chaves	51	15	59	16
Nº de OTAs	2	3	2	4

2.2 Banco de Filtros de Hadamard de 4ª Ordem

Nesta Seção apresenta-se o espectro do sinal em cada uma das saídas do banco de filtros de Hadamard (Fig. 2.16) procurando observar as diferenças no caso de se escolher estruturas com e sem compensação.

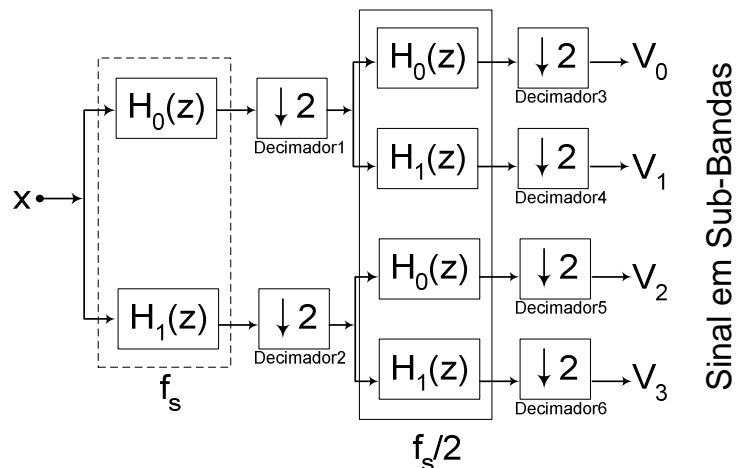


Figura 2.16: estrutura geral do banco de filtros.

Utilizou-se nas simulações tanto os blocos não compensados apresentados na Seção 2.1.1 quanto os blocos compensados das Seções 2.1.2 e 2.1.3. Para obter os espectros das quatro saídas dos bancos de filtros (compensado e não compensado),

aplicou-se um pulso na entrada obtendo a resposta no tempo de cada um dos circuitos, e o resultado final foi determinado aplicando a transformada de Fourier sobre estes sinais no tempo.

No primeiro conjunto de resultados (Fig 2.17) foram utilizados OTAs com ganho DC finito igual a 200, não foram considerados *offset* nem capacitâncias de *gate* e as chaves utilizadas são ideais. São apresentados os espectros correspondentes às quatro saídas do banco de filtros para o caso ideal ($A_0 \rightarrow \infty$) e com $A_0 = 200$.

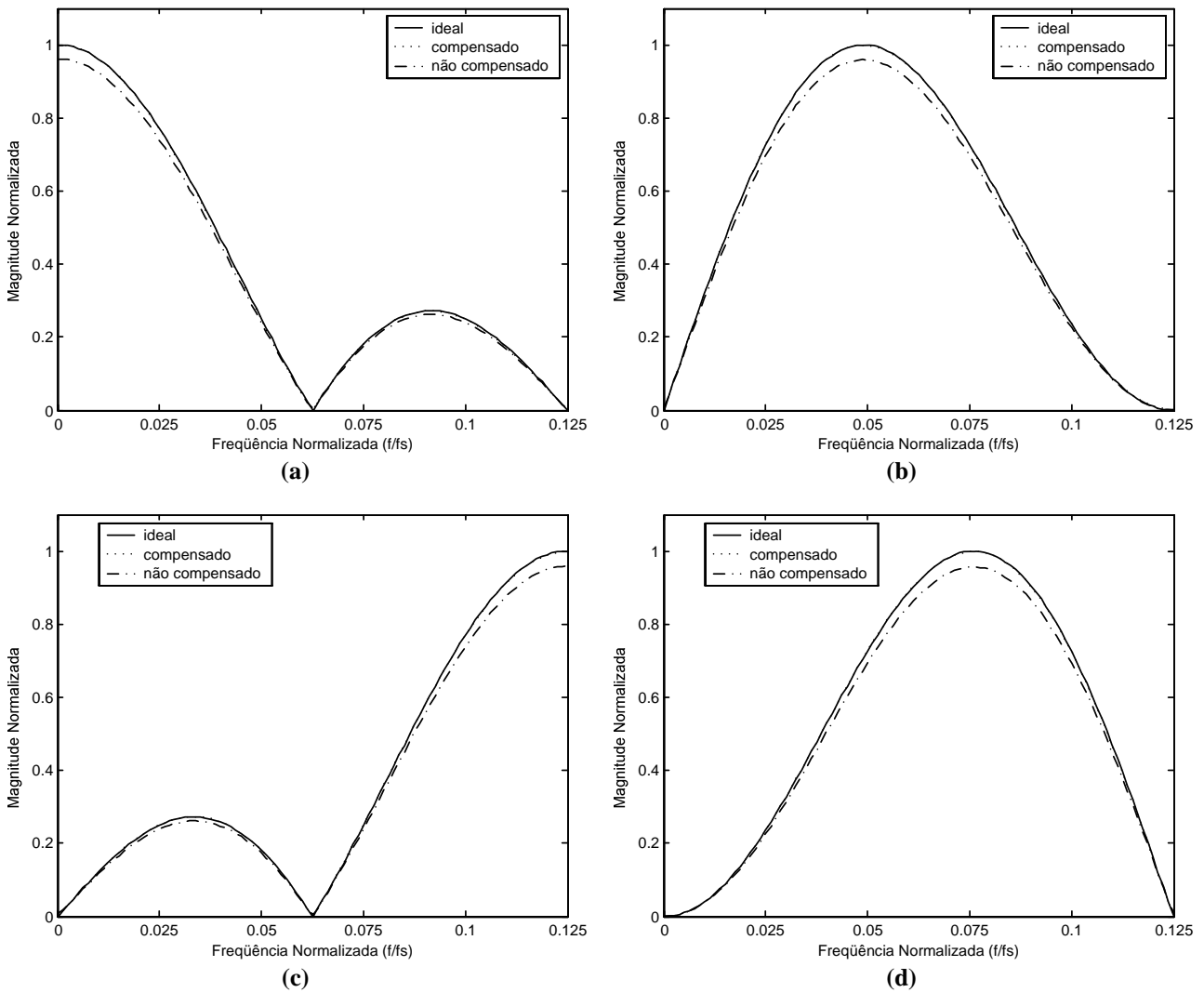


Figura 2.17: espectros obtidos nas saídas V_0 (a), V_1 (b), V_2 (c) e V_3 (d) do banco de filtros para $A_0 = 200$ - (.....) circuito compensado, (- - -) circuito não compensado - e $A_0 \rightarrow \infty$ (—).

O resultado apresentado revela a extrema coincidência dos espectros obtidos para os casos em que $A_0 = \infty$ e $A_0 = 200$ quando são utilizadas as estruturas compensadas. Para o banco de filtros onde se usam estruturas não compensadas, o impacto sobre o espectro do circuito é evidente, sendo ainda maior para o caso em que são considerados *offset* e capacitâncias de *gate* dos OTAs (Fig. 2.18).

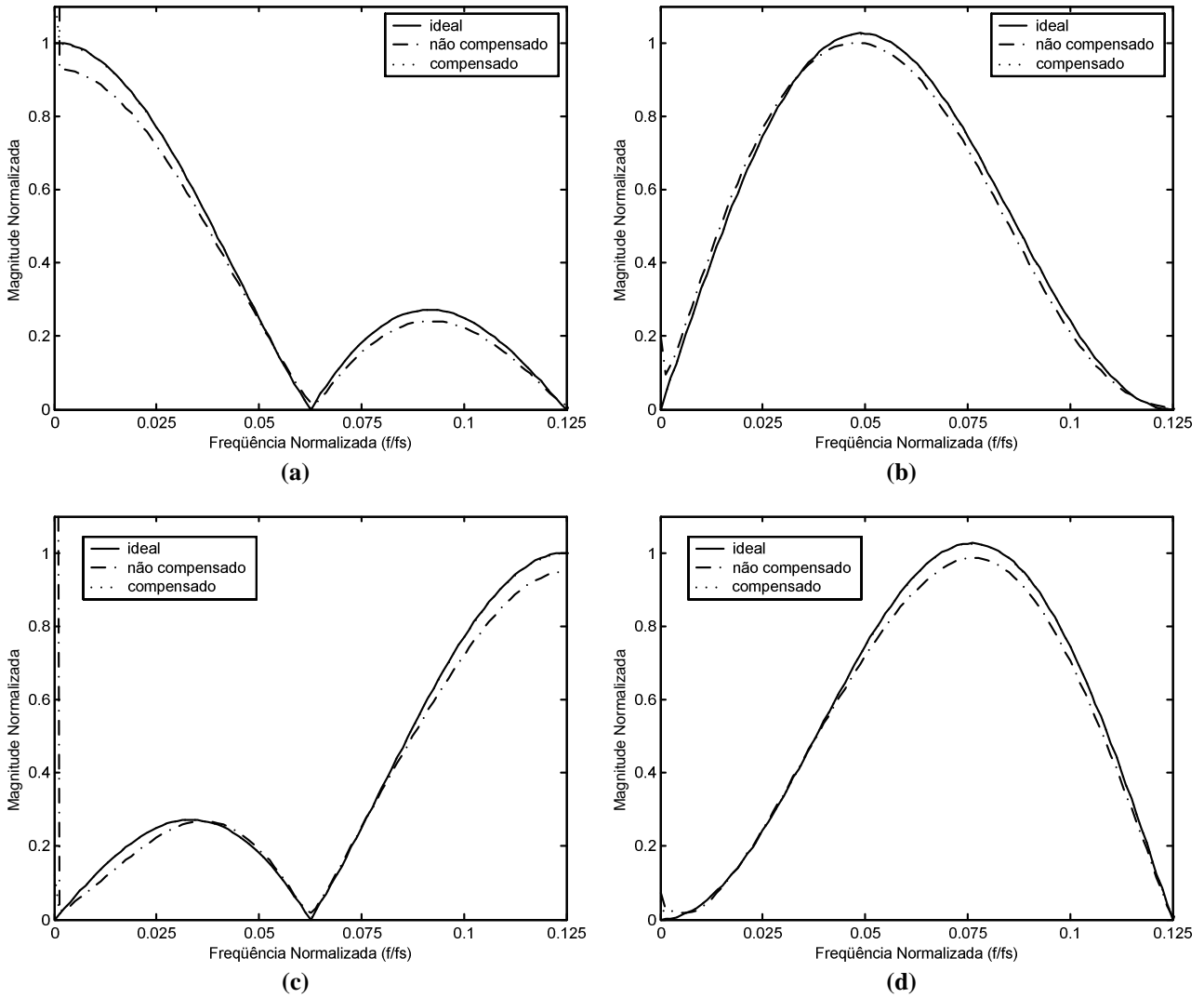


Figura 2.18: espectros obtidos nas saídas V_0 (a), V_1 (b), V_2 (c) e V_3 (d) do banco de filtros considerando efeito simultâneo de A_0 , V_{off} e C_P ; (—) ideal, (.....) circuito compensado, (---) circuito não compensado.

Capítulo 3

Projeto do Circuito

Neste Capítulo é apresentado o projeto do banco de filtros de Hadamard de 4ª ordem. O circuito foi projetado tendo como base uma topologia que utiliza capacitores chaveados (SC) e amplificadores operacionais de transcondutância (OTAs). Na Seção 3.1 são revisados alguns conceitos básicos necessários para compreensão de como foi realizado o projeto. O projeto dos blocos $H_0(z)$, $H_1(z)$ e decimadores é apresentado na Seção 3.2, bem como a estrutura utilizada para os OTAs. O projeto foi feito tendo em vista sua implementação no processo TSMC 0.35 μ m com alimentação de 5V. Na Seção 3.3 são apresentados resultados de simulações realizadas no PSpice com o modelo BSIM3v3. Realiza-se uma comparação com uma estrutura não compensada, com componentes ideais, para verificação da validade do esquema de compensação proposto neste trabalho.

3.1 Conceitos Básicos

Nesta Seção é feita uma revisão de alguns conceitos necessários para uma melhor compreensão de como foi realizado o projeto do circuito. Na Seção 3.1.1 apresenta-se a visão geral do circuito procurando definir a estrutura a ser utilizada para os decimadores e suas fases de controle. Este é um passo importante para uma modelagem mais coerente do circuito, determinando-se as cargas presentes nas saídas dos blocos básicos ($H_0(z)$, $H_1(z)$ e decimadores) nas fases de interesse e levando a um projeto mais próximo da realidade. Para se atingir este objetivo efetua-se uma modelagem dos componentes do circuito – chaves e OTAs – apresentada na Seção 3.1.2, que vai servir de base para obtenção das características desses componentes (características AC e DC dos OTAs, dimensões das chaves e capacitâncias unitárias) que vão conduzir ao projeto do circuito na sua forma final.

3.1.1 *Visão Geral do Circuito*

Na Fig. 3.1 é apresentada a estrutura geral do banco de filtros. Destacam-se as seções do banco de filtros que operam em taxas diferentes.

Uma vez estabelecidas as estruturas de $H_0(z)$ e $H_1(z)$ e seu funcionamento tendo sido bem elucidado (Capítulo 2), é o momento de voltar o foco para os decimadores. Este bloco é o responsável por efetuar a redução da taxa de amostragem e a transferência da amostra de saída de cada um dos blocos $H_0(z)$ e $H_1(z)$ que operam na taxa de amostragem f_s para os outros blocos $H_0(z)$ e $H_1(z)$ que operam em $f_s/2$. É

necessário ainda que tal transferência cumpra os requisitos de velocidade – a serem estabelecidos mais adiante – e precisão (0,1%) especificados.

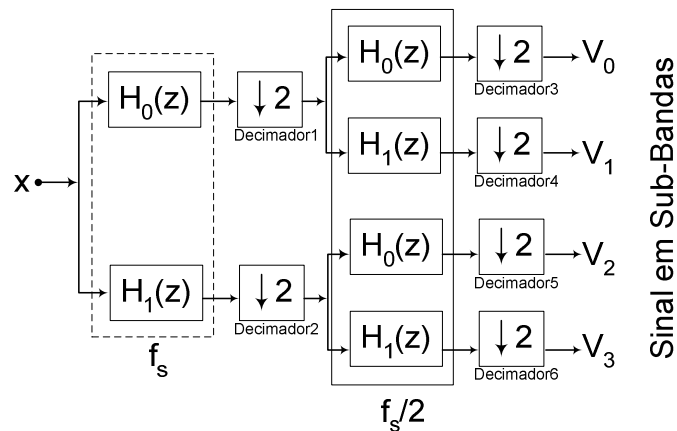


Figura 3.1: estrutura geral do banco de filtros.

Para implementação de um decimador que seja capaz de atender a estes requisitos, duas possibilidades foram vislumbradas: utilizar um sample/hold com OTA de ganho elevado ou utilizar um OTA de ganho baixo, efetuando compensação dos efeitos de ganho finito e *offset* do mesmo. A segunda opção foi escolhida, primeiramente por manter a coerência da idéia de se utilizar OTAs de ganho baixo com esquemas de compensação de suas não idealidades. Em segundo lugar, ao se voltar para a solução de utilizar operacionais de ganho elevado, depara-se com o compromisso da excursão de sinal na saída. Estruturas de ganho elevado fazem uso de estágios de saída em cascode, o que limita a excursão de sinal [15]. Conforme será apresentado na Seção 3.2, a estrutura utilizada para os OTAs de ganho baixo é bastante simples, permitindo uma maior excursão de sinal na saída, e, como consequência, o aumento da faixa dinâmica do circuito.

A estrutura utilizada para o decimador é a mesma apresentada para o meio atrasador com pequenas modificações (Fig. 3.2). A escolha desta estrutura para o decimador se dá pelo fato de que este circuito tem como principal função receber uma amostra e entregá-la na sua saída, após um certo atraso, com os efeitos das não

idealidades do OTA compensados. A seguir são definidas as fases de operação do decimador e seu funcionamento é observado sucintamente.

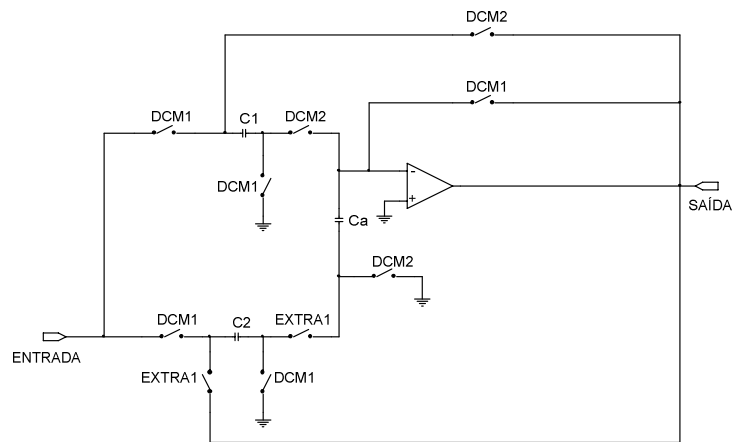


Figura 3.2: diagrama esquemático do decimador.

Tendo em vista as fases de controle do bloco $H_0(z)$ e lembrando que a função do decimador é reduzir a taxa de amostragem por um fator de dois, definem-se novas fases de controle. Durante a fase DCM_1 , apresentada na Fig. 3.3, a amostra compensada oriunda de $H_0(z)$ é aplicada ao decimador, e os capacitores C_1 e C_2 são carregados. Para que seja feita a compensação desta amostra é preciso haver uma fase para predição do erro devido às não idealidades do OTA – fase DCM_2 – onde o capacitor C_a é carregado com a estimativa do erro. Finalmente, na fase $EXTRA_1$, ocorre a compensação do erro e a amostra oriunda de $H_0(z)$ é apresentada aos blocos $H_0(z)$ e $H_1(z)$ que operam em $f_s/2$. A duração desta fase é maior que as duas anteriores tendo em vista a menor velocidade de operação dos blocos $H_0(z)$ e $H_1(z)$ que vêm em seguida.

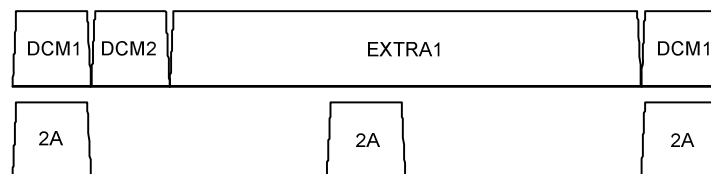


Figura 3.3: diagrama de fases do decimador.

Devido aos diferentes instantes em que ocorrem as fases de saída dos blocos $H_0(z)$ e $H_1(z)$, é preciso definir novas fases de controle para os outros blocos que

formam o banco de filtros. A Fig. 3.4 apresenta o diagrama geral das fases de operação do circuito.

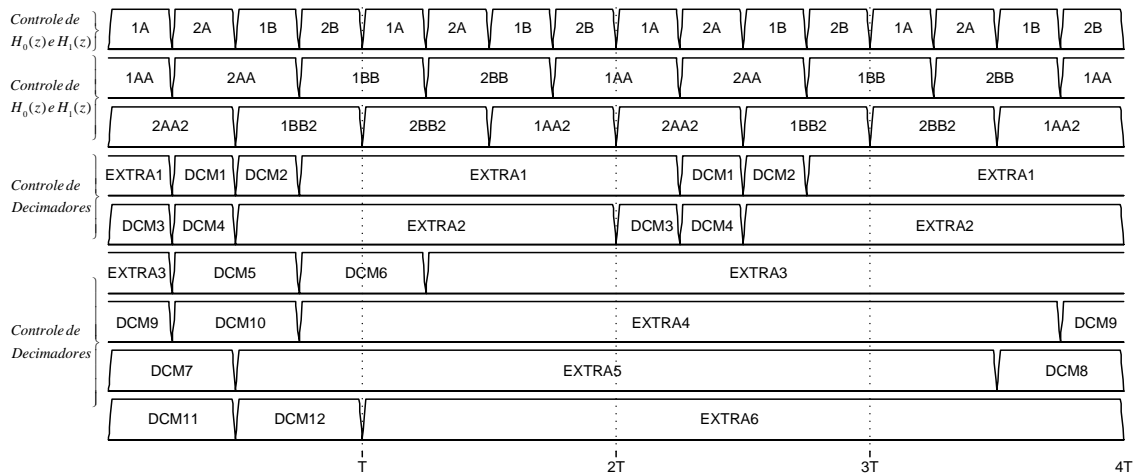


Figura 3.4: diagrama geral das fases do circuito.

As fases denominadas 1AA, 2AA, 1BB e 2BB, dizem respeito à seção do banco de filtros que opera em $f_s/2$, assim como as fases 1AA2, 2AA2, 1BB2, 2BB2 que controlam os blocos que vêm depois de $H_1(z)$ e que opera em f_s . Vale destacar a necessidade de que os sinais oriundos dos decimadores 1 e 2 sejam corretamente entregues aos blocos que operam em $f_s/2$. O ideal seria que a duração das fases 1BB, 2BB, 1AA e 2AA coincidissem com a fase de saída do decimador 1 (EXTRA1). Como isto não pode ocorrer devido à duração limitada da fase EXTRA1, é preciso então englobar as fases 1BB, 2BB e 1AA em EXTRA1. Isto é necessário pois a mesma amostra deve estar presente na entrada nos blocos $H_0(z)$ e $H_1(z)$ nas fases 1BB e 1AA, para que os mesmos operem conforme o esperado. Com estas considerações é que se definiram as fases apresentadas na Fig. 3.4. Os tempos de subida (t_R) e de descida (t_F) das fases do circuito – 1 ns – foram assim definidos tendo em vista a implementação dos circuitos geradores de *clock* integrados.

Para iniciar o projeto do banco de filtros é preciso identificar a fase mais crítica, do ponto de vista do tempo de estabilização, para cada um dos blocos básicos do circuito. Tomando como exemplo o bloco $H_0(z)$ e observando as fases de operação deste

e do decimador que o segue, nota-se uma situação especial em DCM_1 (Fig. 3.5). Neste momento do funcionamento do circuito, $H_0(z)$ está apresentando em sua saída uma amostra compensada de efeitos de ganho finito e *offset* do OTA, já que a fase DCM_1 coincide alternadamente com a fase 2A (Fig. 3.3). O decimador encontra-se na sua fase de entrada do sinal oriundo de $H_0(z)$. Em nenhum outro momento do funcionamento de $H_0(z)$ há carga tão grande na saída deste; esta é a fase mais crítica para $H_0(z)$, do ponto de vista do tempo de estabilização. O projeto do bloco $H_0(z)$ – capacitores unitários, chaves e OTAs – deve ser feito tendo em vista esta fase do circuito.

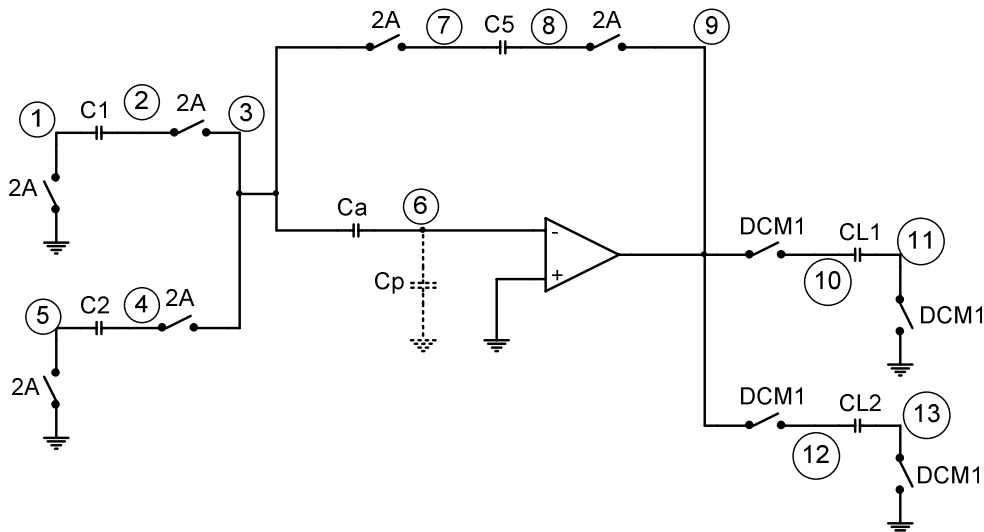


Figura 3.5: $H_0(z)$ – situação mais crítica para o tempo de estabilização.

Com a representação da situação descrita acima (Fig. 3.5), inicia-se a modelagem do bloco $H_0(z)$ para determinar as características dos componentes integrantes do circuito: valor da capacitância unitária, dimensões dos transistores das chaves e dos OTAs, características AC e DC dos OTAs.

3.1.2 *Modelagem do Circuito*

Nesta Seção tomam-se os componentes mais complexos do circuito – os OTAs e as chaves – e criam-se modelos de ambos para procurar determinar suas características que levam o circuito a responder de acordo com o especificado. É desenvolvido um modelo do circuito, no caso do bloco $H_0(z)$, onde se deduz um conjunto de equações que permitem prever, ao menos preliminarmente, o comportamento do circuito em termos do tempo de estabilização sendo dadas as características dos OTAs, das chaves e o valor da capacitância unitária. Dos OTAs é importante estabelecer a corrente máxima na saída (I_0), a transcondutância (g_m) e a característica AC, todos estes elementos têm impacto sobre o tempo de estabilização e sobre a precisão do sinal de saída do circuito. Das chaves é importante estabelecer as dimensões das mesmas de forma a se ter tempo de estabilização e precisão de acordo com a especificação e também baixa injeção de carga.

3.1.2.1 *Modelagem do OTA*

Uma configuração típica de funcionamento de um OTA num circuito a capacitor chaveado é apresentada na Fig. 3.6. Nela, um OTA está sujeito a um sinal de entrada na forma de um pulso de tensão, se encontra realimentado por um fator β e apresenta carga C_L na saída.

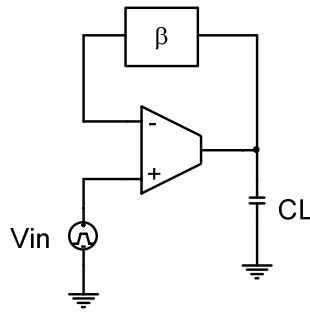


Figura 3.6: situação típica de um OTA num circuito SC.

De fato, circuitos mais complexos, muitas vezes, podem ser descritos dessa forma mais simplificada e isto pode facilitar o projeto do circuito, ou seja, a determinação das características do OTA que levam o circuito a responder dentro do tempo especificado. Alguns projetos têm sido desenvolvidos usando esta metodologia [16] e esta foi uma abordagem utilizada durante algum tempo neste trabalho, mas que não se mostrou adequada. Devido à complexidade do circuito apresentado na Fig. 3.5 não foi possível estabelecer uma configuração de carga/fator de realimentação para o mesmo, de forma que os resultados do circuito simplificado (Fig. 3.6) mostrassem coerência com os resultados do circuito propriamente dito (Fig. 3.5).

A abordagem que mostrou resultados mais próximos do funcionamento do circuito foi a de determinar um conjunto de equações nodais, numa dada fase de interesse, tomando como fontes de excitação tanto as fontes de tensão eventualmente presentes no circuito naquele instante quanto as cargas armazenadas nos capacitores em fases anteriores.

Utilizando programas de análise simbólica de sistemas, o conjunto de equações nodais foi resolvido, considerando que o comportamento do circuito no intervalo de tempo de uma dada fase é analógico. Determinaram-se as formas de onda das tensões nodais de interesse do circuito, ou seja, seu valor final e o tempo que levam para estabilizar. Assim, utilizando um método iterativo é possível entrar com valores para as características dos componentes do circuito – OTAs, chaves e capacitâncias unitárias –

observar o tempo de estabilização do circuito e, sendo necessário, alterar estes valores para ajustar a estabilização do circuito.

Então, para iniciar a modelagem do circuito observa-se o comportamento do OTA da Fig. 3.6 ao se aplicar um pulso de tensão na sua entrada, considerando que o capacitor C_L está descarregado. Apesar de ser uma situação simplificada, conforme dito anteriormente, não há perda de generalidade para os conceitos que serão revisados.

Inicialmente, pela variação abrupta da tensão na entrada não-inversora do OTA, ocorre o desequilíbrio das correntes de polarização dos transistores do par diferencial, que se propaga por toda a estrutura do OTA e tem-se, na saída, a corrente máxima (I_0). Enquanto esta condição perdurar, o OTA estará em *slew-rate* e a tensão de saída sobre a carga evolui como uma rampa. Esta condição dura até o instante em que a tensão na entrada inversora atingir um patamar que coloque o OTA trabalhando na região linear. Observando a característica DC simplificada de um OTA (Fig. 3.7) é possível visualizar esta condição com mais clareza.

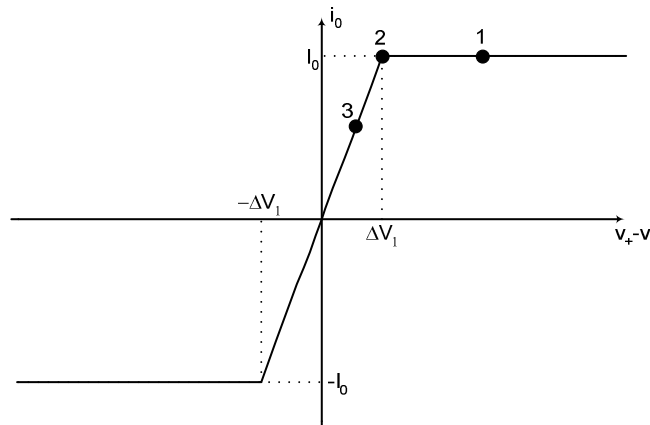


Figura 3.7: característica DC simplificada de um OTA.

Com o ponto de operação na posição 1 o OTA está em *slew-rate*. Na medida que o tempo passa, a tensão na entrada inversora se altera de forma que o ponto de operação se desloca na direção da posição 2. Este é o instante em que o OTA entra na região linear, considerando esta característica DC simplificada. Na posição 3 do ponto de operação, o OTA está na região linear, na qual a relação a seguir é verificada:

$$\frac{i_o}{v_+ - v_-} = g_m \quad (3.1)$$

Conhecendo o valor de ΔV_1 e utilizando a forma de onda da tensão diferencial de entrada do OTA (Fig. 3.7), é possível definir o instante em que o OTA deixa a região de *slew-rate* e entra na região linear, tornando-se viável conhecer o tempo de *slew-rate* (t_{SR}) do circuito. Com o valor final da tensão de saída (v_{final}) é possível estimar o tempo linear (t_{LIN}). O tempo de estabilização total do circuito (t_{EST}) é a soma dos tempos de *slew-rate* e linear, ou seja,

$$t_{EST} = t_{SR} + t_{LIN} \quad (3.2)$$

Com um resultado preliminar do tempo de estabilização para uma dada configuração de carga e de fator de realimentação é possível alterar os valores de I_0 e de g_m , e as dimensões dos transistores, para que t_{EST} satisfaça o valor especificado.

A disposição dos pólos e zeros de amplificadores operacionais tem influência significativa sobre a sua resposta de pequenos sinais [17]. No caso específico de circuitos a capacitor chaveado, conforme apresentado em [18], para se estabelecer um tempo linear ótimo, é preciso projetar os OTAs com margem de fase adequada para a carga a que estes estão sujeitos. Na Fig. 3.8 pode-se constatar a validade deste conceito: nas curvas apresentadas I_0 e g_m permaneceram inalterados, o único parâmetro alterado foi a margem de fase do OTA. O tempo de estabilização do OTA pode ser definido como o menor intervalo de tempo necessário para sua saída se ajustar dentro de uma faixa de erro (ϵ) em relação a seu valor final. É possível notar que o tempo de estabilização t_1 obtido para a curva 1 é menor do que t_2 e t_3 , para as curvas 2 e 3, respectivamente.

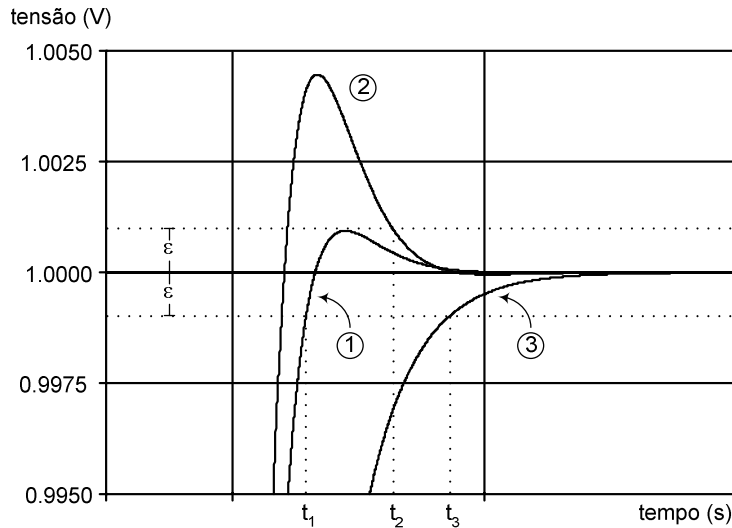


Figura 3.8: variação do tempo de estabilização com a margem de fase.

Outro aspecto interessante quanto à resposta em frequência de OTAs é a relação existente entre os gráficos mostrados na Fig. 3.9.

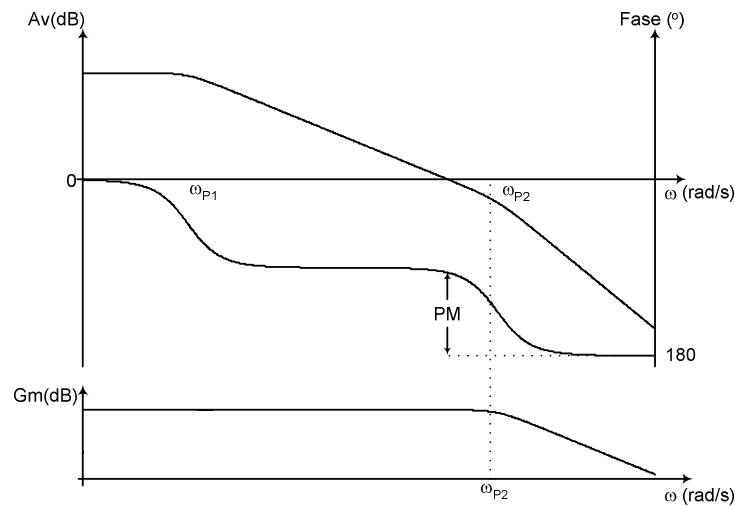


Figura 3.9: curvas de resposta em frequência de um OTA.

Os gráficos de módulo e fase apresentam dois pólos (ω_{p1} e ω_{p2}), e destaca-se a margem de fase (PM). O pólo dominante é devido à carga C_L na saída e o segundo pólo ocorre em função das capacitâncias parasitas internas à estrutura do OTA. O gráfico G_m versus ω apresenta um pólo (ω_{p2}) que coincide com ω_{p2} do gráfico A_v versus ω . Sendo assim, modificar a margem de fase para otimização do tempo linear pode ser entendido como a escolha de um OTA que apresente o pólo de G_m numa determinada frequência,

tal que o tempo linear seja mínimo. Neste trabalho utilizou-se esta idéia para minimizar o tempo de estabilização dos OTAs projetados.

Com tudo que foi discutido até o momento, apresenta-se na Fig. 3.10 o modelo do OTA utilizado na modelagem do circuito.

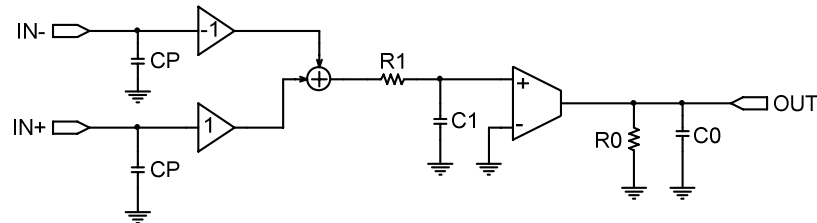


Figura 3.10: modelo do OTA.

O OTA incluído no modelo é ideal e possui característica DC como a apresentada na Fig. 3.7. O pólo de G_m é realizado por R_1 e C_1 . O pólo dominante de A_v é realizado pela impedância de saída (R_0) em conjunto com a capacitância parasita de saída (C_0) e com a carga (C_L). Adicionaram-se ainda capacitâncias de *gate* na entrada (C_P).

3.1.2.2 Modelagem das Chaves

A estrutura de chaves complementares com transistores *dummy* [19] foi a escolhida para o projeto do circuito (Fig. 3.11).

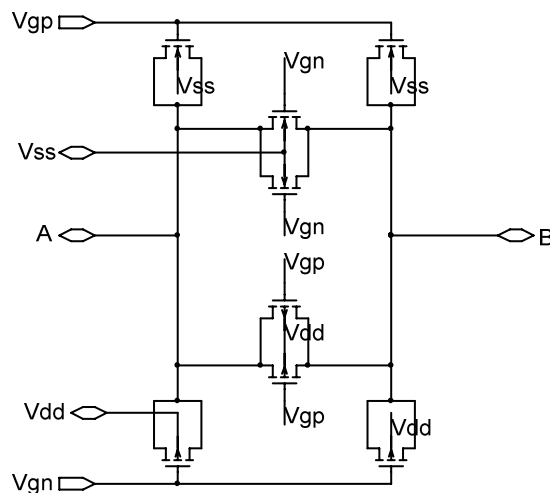


Figura 3.11: chaves complementares com transistores *dummy*.

Com relação às dimensões das chaves é preciso considerar a velocidade do circuito e o efeito de injeção de carga. Foi possível verificar por simulações preliminares que a velocidade e a precisão do circuito dependem parcialmente de algumas características das chaves. A resistência da chave quando fechada (R_{ON}) influi na velocidade do circuito enquanto que a capacitância parasita influi na precisão devido ao efeito de injeção de carga. A escolha adequada das dimensões das chaves pode diminuir o efeito de injeção de carga, uma vez que quanto menor a capacitância parasita da chave menor será esse efeito. Por outro lado, quanto menores forem as dimensões da chave maior será sua resistência (R_{ON}) e isto vai acarretar num tempo de resposta maior [14].

Optou-se pela chave de menor dimensão possível para o processo utilizado tendo em vista o resultado das simulações. Utilizando o modelo do OTA (Fig. 3.10) no circuito que realiza $H_0(z)$, observou-se o tempo de estabilização e o erro na saída utilizando chaves com dimensões distintas: inicialmente chaves com $W_{ch} = 1,6 \mu\text{m}$ e em seguida chaves com $W_{ch} = 0,4 \mu\text{m}$, onde W_{ch} é a largura do canal do transistor nMOS que compõe a chave complementar. O comprimento de canal em ambos os casos foi escolhido o menor possível para a alimentação usada, ou seja, $L = 0,5 \mu\text{m}$. Comparando os resultados, observou-se que o erro na saída diminuiu 4 vezes enquanto que o tempo de estabilização aumentou 1,7 vezes. Assim, o erro caiu proporcionalmente à diminuição das dimensões da chave e o tempo de estabilização não aumentou proporcionalmente. As dimensões dos transistores das chaves complementares utilizadas no circuito são apresentadas na Tabela 3.1

TABELA 3.1 DIMENSÕES DOS TRANSISTORES DAS CHAVES COMPLEMENTARES

Transistor	W [μm]	L [μm]
NMOS	0,4	0,5
PMOS	2,0	0,5

Os transistores PMOS têm largura 5 vezes maior que os transistores NMOS em função de um ajuste, feito em simulação, da curva de resistência da chave (R_{ON}). Para que R_{ON} apresentasse um valor de resistência mais constante na região de operação da chave, observou-se qual seria o fator de multiplicação de W_{ch} da chave PMOS, em relação ao transistor NMOS. Obteve-se a característica apresentada na Fig. 3.12 onde a grandeza associada ao eixo x é o nível DC aplicado aos terminais da chave.

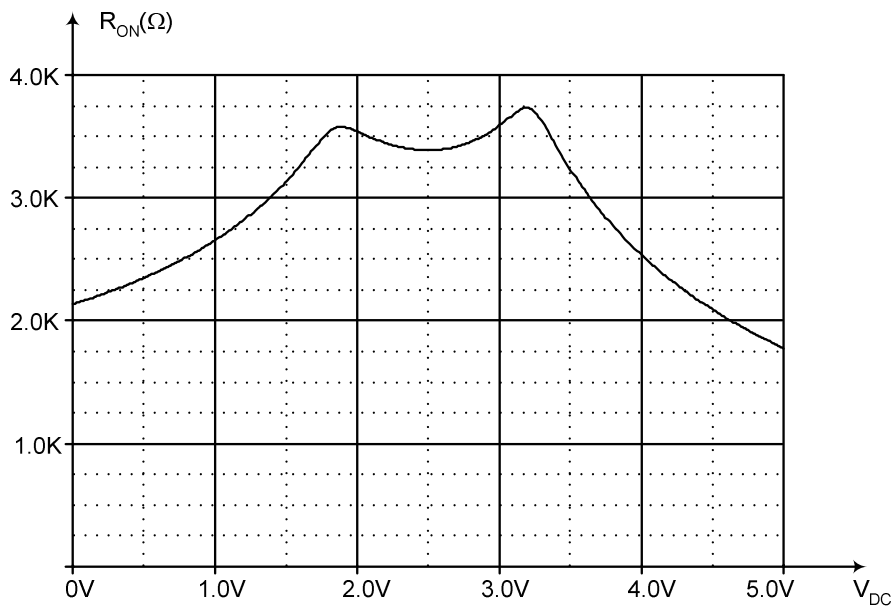


Figura 3.12: resistência da chave quando fechada.

O modelo da chave, usado apenas no equacionamento do circuito, é apresentado na Fig. 3.13. R_{ON} e C_{CP} representam, respectivamente, a resistência e a capacitância parasita da chave quando fechada.

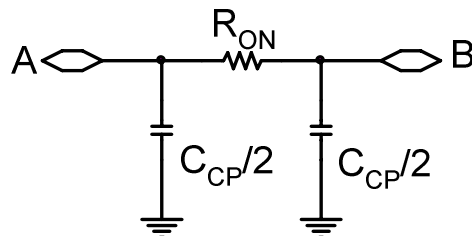


Figura 3.13: modelo da chave.

Para solucionar o sistema de equações nodais é preciso estimar R_{ON} e C_{CP} . Simulações foram realizadas com este objetivo: o resultado para R_{ON} é aquele

observado na Fig. 3.12, e utilizou-se o valor máximo da resistência, isto é, 3,75 k Ω . Para C_{CP} estimou-se o valor de 8 fF.

3.1.2.3 Sistema de Equações Nodais

De posse do modelo dos componentes do circuito é possível construir um sistema de equações nodais para determinar a resposta do mesmo, no intervalo de tempo de uma fase de interesse. Nessa situação o circuito é analógico e, com a solução do sistema, espera-se determinar as características do OTA – I_0 e g_m – para que o circuito estabilize num intervalo de tempo especificado. O que se fez na verdade foi fornecer ao sistema uma estimativa inicial para estas características do OTA e observar o tempo de estabilização calculado pelo sistema de equações. De posse do resultado, os valores de I_0 e g_m foram alterados para minimizar o tempo de estabilização.

Conforme discutido no começo desta Seção, o tempo de resposta dos OTAs é composto de duas partes: tempo de *slew-rate* e tempo linear. Então é preciso resolver um sistema para determinar o tempo de *slew-rate* do circuito e outro para o tempo linear. Como se trata de um circuito a tempo discreto e os capacitores trazem informação de fases anteriores àquela de interesse, é preciso acrescentar fontes de tensão em série com os capacitores.

A estrutura tomada como base para o equacionamento é aquela apresentada na Fig 3.5. Consideraram-se os capacitores C_{L1} e C_{L2} descarregados. Os capacitores C_1 , C_2 e C_a trazem informação de fases anteriores e a capacitância de *gate* do OTA (C_P) está carregada. O OTA é modelado conforme indicado na Fig. 3.10 a menos da influência do pólo de $g_m - R_1$ e C_1 não são considerados. Todos os elementos passivos são

representados por admitâncias, e as cargas de capacitores oriundas de fases anteriores são modeladas por fontes de corrente.

Para determinar o tempo de *slew-rate* é preciso observar a tensão diferencial de entrada do OTA $\Delta V_{in} = 0 - V_6$ (Fig 3.5). No momento em que esta passar pelo valor ΔV_1 (Fig. 3.7), em que o OTA passa a operar como dispositivo linear, tem-se t_{SR} . Os valores das tensões nodais neste instante são de particular importância para a solução do sistema de equações que vai determinar t_{LIN} , já que durante o *slew-rate* ocorrem cargas e descargas nos capacitores do circuito. Quando da solução deste sistema é fundamental que se considere este fato e, portanto, que as cargas dos capacitores sejam inseridas com seus valores corretos.

Para o cálculo do tempo linear considera-se o intervalo entre o final do *slew-rate* e o instante em que a saída atinge um valor tal que apresente erro de 0,1% em relação ao valor final.

Os sistemas de equações nodais para determinação do tempo de *slew-rate* (Eqs 3.3) e do tempo linear (Eqs. 3.4) são apresentados a seguir. As seguintes notações foram adotadas:

Y_X – admitância do componente X

V_{iSR} – tensão nodal em i ao final do *slew-rate* ($i = 1..13$)

V_{Cx} – carga previamente armazenada no capacitor x

V_{iL} – tensão nodal em i ao final do tempo linear ($i = 1..13$)

V_{CxSR} – carga remanescente/armazenada no capacitor x ao final do *slew-rate*

Os resultados obtidos com o sistema de equações foram comparados com simulações efetuadas com o OTA modelado (Fig 3.7). Utilizando, tanto nos cálculos quanto nas simulações, um mesmo conjunto de valores de características do circuito (I_0 , g_m , capacitância unitária, capacitância de *gate*, capacitância parasita e saída, impedância da saída), obteve-se para o tempo de estabilização calculado,

$$t_{ESTcalculado} = 19,6 \text{ ns} \quad (3.5)$$

e para o tempo de estabilização simulado,

$$t_{ESTsimulado} = 19,1 \text{ ns} \quad (3.6)$$

A metodologia adotada mostrou grande capacidade de previsão do comportamento do circuito.

3.2 Projeto das Estruturas

Nesta Seção é apresentado o projeto do banco de filtros. Fundamentalmente, é necessário estabelecer os valores das capacitâncias unitárias (C) do circuito e o tempo de estabilização (t_{EST}) a que o circuito vai atender, para então efetuar o projeto dos OTAs. Inicialmente são realizadas simulações preliminares com o objetivo de estimar C e t_{EST} de tal forma que não haja comprometimento da precisão do circuito. A estrutura utilizada para o OTA é apresentada em seguida, ressaltando o uso de capacitâncias de compensação (C_{COMP}) para ajuste do pólo de g_m e, como consequência, efetuar a otimização do tempo de estabilização. Como o circuito opera a diferentes taxas, o projeto dos OTAs de cada bloco do circuito é diferenciado: OTAs mais rápidos são usados na parte do sistema que opera em f_s e OTAs mais lentos são usados para a seção

que opera em $f_s/2$. Sendo assim, diferentes considerações são traçadas para o projeto de cada bloco do circuito e as dimensões e todos os componentes são apresentadas.

3.2.1 *Simulações Preliminares*

Utilizando o modelo do OTA conforme apresentado na Fig. 3.10, realizam-se algumas simulações a partir das quais se determina o valor da capacitância unitária do circuito (C) e o tempo de estabilização mínimo que o circuito é capaz de atingir. São então determinadas as características que o OTA deve ter para atender a este último requisito.

Conforme mencionado no Capítulo 2, a relação entre C e C_P tem um impacto direto sobre a precisão do circuito: uma relação de 10:1 leva a um erro de 0,1 % na saída do bloco $H_0(z)$. C_P vai depender das dimensões dos transistores do par diferencial de entrada do OTA e está relacionada, portanto, com g_m . A transcondutância, por sua vez, tem impacto sobre o tempo de estabilização do circuito, uma vez que determina t_{LIN} . Numa investigação inicial parece ser interessante fazer g_m o mais alto possível para minimizar o tempo de estabilização, no entanto não se pode perder de vista a precisão da tensão de saída do circuito: com g_m elevado, C_P será muito alto também e então alguma característica do circuito terá que ser sacrificada. Ou a precisão, pois a relação entre C e C_P não será suficiente para mantê-la dentro de patamares aceitáveis, ou a velocidade, pois para manter a precisão, a capacitância unitária (C) deverá ser elevada, aumentando o tempo de estabilização do circuito. Com estas considerações em vista foram realizadas as simulações.

O circuito tomado como base para as simulações é o bloco $H_0(z)$, incluindo o decimador 1 (Fig. 3.5). O circuito foi colocado em operação tendo em sua entrada um

pulso de tensão com amplitude de 2V que abrange as fases 1B, 2B, 1A e 2A. Os OTAs do meio-atrasador, de $H_0(z)$ e do decimador 1 são considerados idênticos e inicialmente escolheram-se as seguintes características para eles:

$$\begin{aligned} I_0 &= 400 \mu A \\ g_m &= 2 mS \\ \Delta V_1 &= 200 mV \\ R_0 &= 100 k\Omega \end{aligned} \quad (3.7)$$

Estabelecendo ainda que:

$$\begin{aligned} C_p &= C/10 \\ C_0 &= 4C/10 \end{aligned} \quad (3.8)$$

Variando o valor de C, foi possível observar o compromisso existente entre velocidade e precisão, conforme apresentado na Tabela 3.2.

TABELA 3.2 RESULTADO DAS SIMULAÇÕES PRELIMINARES

Capacitância Unitária (C) [fF]	t_{EST} Simulado [ns]	Erro na Saída (Fase DCM ₁) [%]
500	42,1	0,03
400	34,2	0,01
300	26,2	0,06
250	22,3	0,02
220	19,1	0,13
200	18,5	0,19
100	11,0	0,8

O resultado apresentado sugere o que de fato se esperava: capacitâncias unitárias pequenas levam o circuito a responder mais rapidamente, porém com um erro maior na saída. Valores elevados de C melhoram a precisão do circuito mas fazem com que o tempo de estabilização seja maior. A escolha que pareceu mais razoável para capacitância unitária é

$$C = 220 fF \quad (3.9)$$

pois mantém a precisão num patamar aceitável e o tempo de estabilização pode ainda ser minimizado com o projeto otimizado do OTA. Esta capacitância foi utilizada em todos os blocos do banco de filtros.

3.2.2 Projeto dos OTAs

De posse dos resultados obtidos na Seção anterior, foi realizado o projeto do OTA pertencente ao bloco $H_0(z)$ que opera a taxa f_s . A estrutura do OTA na Fig. 3.14 é a mesma utilizada em todos os blocos constituintes do banco de filtros. Os capacitores de compensação (C_{COMP}) são responsáveis pelo ajuste do pólo de g_m e, com isso, otimizam o tempo de estabilização. Devido à sua estrutura simplificada, sem o uso de transistores em *cascode*, este OTA apresenta alta excursão de sinal na saída: 4 V pico a pico foi o especificado. As dimensões dos transistores foram calculadas tendo como base as características do OTA nas Eqs. (3.7).

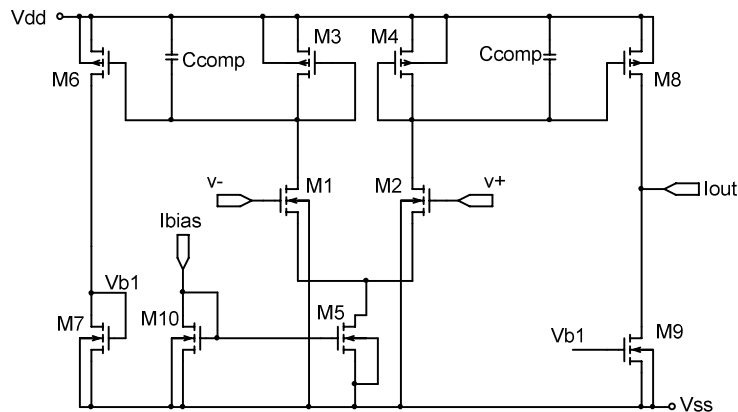


Figura 3.14: diagrama esquemático do OTA.

Todos os transistores foram calculados a partir de equações de nível 1 [15]. O cálculo das dimensões dos transistores M_1 e M_2 levou em consideração o valor de g_m apresentado nas Eqs (3.7), enquanto que os outros transistores da estrutura foram calculados tendo o valor de I_0 como base. É importante destacar que as dimensões de M_8 e M_9 foram multiplicadas pelo fator 3 para evitar o efeito de modulação de

comprimento de canal. Constatou-se em simulação que utilizando M_8 e M_9 com as mesmas dimensões de M_4 e M_7 , respectivamente, o ganho DC do circuito ficou muito baixo ($\sim 70V/V$), tornando a compensação menos eficiente. Com o aumento das dimensões o ganho DC aumentou significativamente ($\sim 200 V/V$) e a compensação se mostrou mais eficiente. As dimensões dos transistores são apresentadas na Tabela 3.3.

TABELA 3.3 DIMENSÕES DOS TRANSISTORES DO OTA DE $H_0(z)$ QUE OPERA EM F_S

Transistor	W [μm]	L [μm]
M_1	57,6	0,5
M_2	57,6	0,5
M_3	23,2	0,5
M_4	23,2	0,5
M_5	18,4	0,5
M_6	23,2	0,5
M_7	9,2	0,5
M_8	69,6	1,5
M_9	27,6	1,5
M_{10}	18,4	0,5

A otimização do tempo de estabilização foi realizada em simulação, variando o valor dos capacitores de compensação (C_{COMP}) que são considerados iguais. Sem os capacitores C_{COMP} o tempo de estabilização fica

$$t_{EST} = 20,0 ns \quad (3.10)$$

e o pólo de g_m é encontrado em

$$BW_{g_m} = 610 MHz \quad (3.11)$$

Variando o valor de C_{COMP} e observando o tempo de estabilização e a largura de banda de g_m , obteve-se o valor de $C_{COMP} = 1$ pF para o tempo de estabilização mínimo. Os resultados obtidos para o bloco $H_0(z)$ são

$$\begin{aligned} t_{EST} &= 13,2 ns \\ \varepsilon &= 0,26 \% \end{aligned} \quad (3.12)$$

onde ε representa o erro percentual na saída do circuito, na fase de interesse.

O OTA projetado, depois de efetuada a compensação, apresenta as seguintes características:

$$\begin{aligned}
 g_m &= 2,05 \text{ mS} \\
 BW_{gm} &= 93 \text{ MHz} \\
 I_0 &= 400 \mu\text{A} \\
 A_v &= 256 \text{ V/V}
 \end{aligned}
 \tag{3.13}$$

É importante ressaltar que o circuito meio atrasador ($z^{-1/2}$), incluído na estrutura de $H_0(z)$, utiliza este mesmo OTA. Outro fato observado em simulação foi a oscilação do circuito em algumas fases. De fato, existem fases em que o fator de realimentação dos OTAs é unitário, sendo necessário o acréscimo de pequenas cargas nas saídas dos mesmos para diminuir a oscilação (Tabela 3.4).

TABELA 3.4 CARGAS ADICIONADAS ÀS SAÍDAS DOS OTAS DE $H_0(z)$

Fases	Carga na saída do OTA de $z^{-1/2}$	Carga na saída do OTA de $H_0(z)$
1A	200 fF	300 fF
2A	200 fF	Sem Carga
1B	200 fF	300 fF
2B	200 fF	100 fF

Os decimadores 1 e 2 (Fig. 3.1) têm a estrutura observada na Fig. 3.2. Os OTAs desses blocos devem ser projetados tendo em vista que, apesar dos decimadores serem os responsáveis por reduzir a taxa de amostragem por um fator de 2, eles não operam unicamente em $f_s/2$. É preciso notar que, na fase DCM_2 onde o erro devido ao *offset* e ao ganho finito do OTA é armazenado em C_a , a tensão de saída do decimador tem que estabilizar no mesmo intervalo de tempo que $H_0(z)$. Isto ocorre porque a duração da fase DCM_2 é idêntica à da fase DCM_1 . Ainda, na fase $EXTRA_1$, em que o sinal de saída dos decimadores é apresentado aos blocos que operam à taxa $f_s/2$, é preciso observar que existem dois blocos que devem receber esta amostra – $H_0(z)$ e

$H_1(z)$ – e cada um deles tem três conjuntos de capacitores e chaves, como o apresentado na Fig. 3.15, a serem carregados.

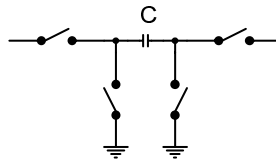


Figura 3.15: conjunto capacitor/chave a ser carregado.

Numa abordagem inicial utilizou-se o mesmo OTA projetado para $H_0(z)$, nos decimadores 1 e 2. Esta escolha se mostrou adequada sendo necessários pequenos acréscimos de carga à saída do OTA, para uma estabilização mais rápida do circuito (Tabela 3.5) . Os capacitores de compensação (C_{COMP}) não foram necessários para o OTA em questão.

TABELA 3.5 CARGAS ADICIONADAS À SAÍDA DO OTA DO DECIMADOR 1

Fases	Carga na saída do OTA
DCM ₁	100 fF
DCM ₂	100 fF
EXTRA ₁	100 fF

A questão da transferência de carga para os blocos que operam em $f_s/2$ não se mostrou problemática, pois a saída do decimador estabilizou de acordo com o apresentado a seguir:

$$\begin{aligned} t_{EST} &= 17,6 ns \\ \varepsilon &= 0,26 \% \end{aligned} \tag{3.14}$$

O resultado obtido para t_{EST} é suficiente para que a amostra seja transferida corretamente.

Para o projeto do bloco $H_1(z)$ vale a mesma observação feita para os decimadores 1 e 2, quanto à velocidade do circuito. Como $H_1(z)$ opera a mesma taxa de $H_0(z)$, tomou-se como ponto de partida o OTA já projetado para $H_0(z)$. Ajustes foram necessários já que as estruturas apresentam pequenas diferenças. A primeira é

relacionada aos capacitores C_{COMP} cujos valores foram alterados para 830 fF de forma a fazer o circuito estabilizar com o menor tempo possível – 13,0 ns. A segunda tem relação com o erro do circuito: constatou-se que este ficou em 0,35 %, um pouco acima do desejado. Efetuando diversas simulações foi possível notar uma relação do erro percentual na saída, e da velocidade do circuito com a capacitância auxiliar (C_a), que armazena a tensão de erro devido ao ganho DC finito e ao *offset*. Multiplicando esta capacitância por diferentes fatores obtiveram-se diferentes erros/tempos de estabilização na saída. O fator de multiplicação que melhor atendeu ao compromisso entre precisão e velocidade compatível com o que já havia sido projetado foi 0,5. Assim, a capacitância C_a de $H_1(z)$ tem a metade do valor da capacitância unitária do circuito. Os resultados para o circuito são apresentados a seguir:

$$\begin{aligned} t_{EST} &= 13,0 ns \\ \varepsilon &= 0,07 \% \end{aligned} \quad (3.15)$$

Os OTAs projetados para $H_1(z)$ apresentam as seguintes características:

$$\begin{aligned} g_m &= 2,05 mS \\ BW_{g_m} &= 108 MHz \\ I_0 &= 400 \mu A \\ A_v &= 256 V/V \end{aligned} \quad (3.16)$$

Foi necessário acrescentar cargas às saídas dos OTAs para estabilização mais rápida do circuito em fases onde se constatou oscilação (Tabela 3.6).

TABELA 3.6 CARGAS ADICIONADAS ÀS SAÍDAS DOS OTAS DE $H_1(z)$

Fases	Carga na saída do OTA de $z^{-1/2}$	Carga na saída do OTA de $H_1(z)$
1A	300 fF	100 fF
2A	300 fF	300 fF
1B	300 fF	Sem Carga
2B	300 fF	400 fF

Uma vez que se tenha projetado os blocos que operam a taxa f_s , é possível estabelecer a máxima taxa de amostragem do sistema. É preciso observar que no intervalo de tempo em que o sinal é amostrado ocorrem 4 fases do circuito, e é importante considerar o tempo de subida e o tempo de descida de cada uma das fases. Além disso não se pode permitir que o tempo de estabilização do circuito coincida com o final da fase de interesse. Deve haver uma margem de folga. Com os tempos de subida e de descida de cada fase sendo 1 ns, e considerando que o tempo de estabilização deva ocorrer em 80% do tempo efetivo de uma fase, obtém-se a taxa de amostragem máxima para o banco de filtros:

$$f_{sMAX} = 13Msamples/s \quad (3.17)$$

O projeto dos blocos que operam em $f_s/2$ deve considerar a máxima taxa de amostragem obtida na Eq. (3.17). Para estes blocos aplicam-se as mesmas considerações anteriormente colocadas quanto à duração do tempo de estabilização dentro de uma fase e tempos de subida e descida dessas. Obtém-se então uma especificação do tempo de estabilização para os referidos blocos:

$$t_{EST@f_s/2} \cong 29ns \quad (3.18)$$

Como esta seção do circuito pode operar a uma velocidade menor, o projeto de suas estruturas consiste apenas em redefinir as características dos OTAs projetados anteriormente. A abordagem adotada foi de simular os blocos que operam em $f_s/2$ com os OTAs já projetados e observar o tempo de estabilização e a precisão da tensão de saída de cada bloco. Sendo necessário algum ajuste, normalmente no sentido de aumentar o tempo de estabilização, este é efetuado de forma a atender a especificação da Eq. (3.18). Os ajustes efetuados levam em consideração o fato de que o tempo de estabilização consiste de uma parcela não-linear (t_{SR}) e outra linear (t_{LIN}), e para se

alterar estes intervalos de tempo é preciso redimensionar, respectivamente, a corrente I_0 e a transcondutância g_m .

No caso do bloco $H_0(z)$ que opera em $f_s/2$, constatou-se em simulação que, utilizando o OTA previamente projetado para o bloco $H_0(z)$ mais rápido, o tempo de estabilização é igual a

$$t_{EST} = 23,3 ns \quad (3.19)$$

sendo as parcelas devidas a *slew-rate* e tempo linear iguais a

$$\begin{aligned} t_{SR} &= 5,1 ns \\ t_{LIN} &= 18,2 ns \end{aligned} \quad (3.20)$$

Ao se redimensionar o OTA é interessante fazê-lo para todos os transistores que compõem a estrutura, uma vez que se mantém o produto $g_m R_0$ constante, e o ganho do amplificador permanece na faixa de valores em que a compensação se mostra mais eficaz (~ 200 V/V). Para aumento de t_{SR} reduz-se a corrente de polarização dos OTAs e, proporcionalmente, a largura dos transistores. A variação de t_{LIN} acompanha as alterações efetuadas na transcondutância do OTA (g_m) que, por sua vez, é sensível tanto à largura dos transistores do par diferencial de entrada (M_1 e M_2) quanto à corrente de polarização [15].

Efetuada sucessivas reduções das larguras dos transistores dos OTAs e observando a tensão de saída do circuito chegou-se aos seguintes resultados para o circuito $H_0(z)$ que opera em $f_s/2$:

$$\begin{aligned} t_{EST} &= 29,5 ns \\ \varepsilon &= 0,23\% \end{aligned} \quad (3.21)$$

Foram utilizados capacitores de compensação (C_{COMP}) de 420 fF nos OTAs deste bloco básico. As dimensões dos transistores são apresentadas na Tabela 3.7.

TABELA 3.7 DIMENSÕES DOS TRANSISTORES DOS OTAS DE $H_0(z)$ QUE OPERA EM $F_s/2$

Transistor	W [μm]	L [μm]
M ₁	20,0	0,5
M ₂	20,0	0,5
M ₃	8,0	0,5
M ₄	8,0	0,5
M ₅	6,4	0,5
M ₆	8,0	0,5
M ₇	3,2	0,5
M ₈	24,0	1,5
M ₉	9,6	1,5
M ₁₀	6,4	0,5

Os OTAs projetados apresentam as seguintes características:

$$\begin{aligned}
 g_m &= 714 \mu\text{S} \\
 BW_{gm} &= 81 \text{MHz} \\
 I_0 &= 140 \mu\text{A} \\
 A_v &= 256 \text{V/V}
 \end{aligned}
 \tag{3.22}$$

Foi necessário acrescentar cargas capacitivas à saída do OTA que realiza o circuito $H_0(z)$ operando em $f_s/2$, para minimizar oscilações em algumas fases (Tabela 3.8). Não foi preciso adicionar cargas ao OTA do meio atrasador que é parte integrante da estrutura do circuito.

TABELA 3.8 CARGAS ADICIONADAS À SAÍDA DO OTA DE $H_0(z)$ QUE OPERA EM $F_s/2$

Fases	Carga na saída do OTA de $H_0(z)$
1AA	200 fF
2AA	Sem Carga
1BB	200 fF
2BB	Sem Carga

Um OTA sem os capacitores de compensação foi projetado para o bloco $H_0(z)$ em questão, com o objetivo de comprovar a validade de se projetar o circuito com otimização de t_{EST} . Para que o circuito estabilize no tempo especificado, o OTA não

otimizado deve ter corrente de polarização de 230 μA , 64 % maior em relação ao OTA otimizado e as dimensões dos transistores seriam 1,6 vezes maiores. O resultado apresenta considerável redução das dimensões dos componentes, bem como do consumo do circuito.

O mesmo procedimento de redefinir as características de um OTA já projetado, foi usado no caso do circuito $H_1(z)$ que opera em $f_s/2$. Depois de se determinar o tempo de estabilização com o OTA projetado originalmente para o circuito mais rápido, efetuaram-se sucessivas reduções das larguras dos transistores do circuito até que foram obtidas as seguintes características:

$$\begin{aligned} t_{EST} &= 28,6 \text{ ns} \\ \varepsilon &= 0,04 \% \end{aligned} \quad (3.23)$$

Capacitores de compensação (C_{COMP}) de 300 fF foram usados neste caso para minimizar o tempo de estabilização. As dimensões dos transistores são apresentadas na Tabela 3.9.

TABELA 3.9 DIMENSÕES DOS TRANSISTORES DO OTA DE $H_1(z)$ QUE OPERA EM $F_s/2$

Transistor	W [μm]	L [μm]
M ₁	20,0	0,5
M ₂	20,0	0,5
M ₃	8,0	0,5
M ₄	8,0	0,5
M ₅	6,4	0,5
M ₆	8,0	0,5
M ₇	3,2	0,5
M ₈	24,0	1,5
M ₉	9,6	1,5
M ₁₀	6,4	0,5

As características dos OTAs que compõem o circuito são:

$$\begin{aligned}
g_m &= 714 \mu S \\
BW_{gm} &= 105 \text{ MHz} \\
I_0 &= 140 \mu A \\
A_v &= 256 V/V
\end{aligned}
\tag{3.24}$$

Conforme ocorreu para o caso do circuito $H_0(z)$ que opera em $f_s/2$, foi necessário acrescentar cargas na saída do OTA de $H_1(z)$ para diminuir oscilações (Tabela 3.10).

TABELA 3.10 CARGAS ADICIONADAS À SAÍDA DO OTA DE $H_1(z)$ QUE OPERA EM $F_s/2$

Fases	Carga na saída do OTA de $H_1(z)$
1AA	Sem Carga
2AA	100 fF
1BB	Sem Carga
2BB	100 fF

O projeto dos decimadores que reduzem a taxa de amostragem f_s por um fator de 4, seguiu a mesma metodologia dos outros blocos básicos que operam em $f_s/2$. É preciso considerar ainda que, sendo este o último bloco a ser projetado, sua saída ficou em aberto. Não foram definidas especificações de carga para as saídas do banco de filtros. Assim, o tempo de estabilização deste bloco ficou bem abaixo do especificado, ainda que as larguras dos transistores do OTA que o compõe tenham sido radicalmente reduzidas, conforme será visto adiante.

Partindo do projeto dos decimadores 1 e 2, reduziram-se as larguras dos transistores do OTA que integra o circuito visando ao aumento do tempo de estabilização. As características do decimador que opera em $f_s/2$ são:

$$\begin{aligned}
t_{EST} &= 11,6 \text{ ns} \\
\varepsilon &= 0,3\%
\end{aligned}
\tag{3.25}$$

Na Tabela 3.11 são mostradas as dimensões dos transistores do OTA.

TABELA 3.11 DIMENSÕES DOS TRANSISTORES DO OTA DOS DECIMADORES QUE OPERAM EM $F_s/2$

Transistor	W [μm]	L [μm]
M ₁	4,8	0,5
M ₂	4,8	0,5
M ₃	2,0	0,5
M ₄	2,0	0,5
M ₅	1,6	0,5
M ₆	2,0	0,5
M ₇	0,8	0,5
M ₈	6,0	1,5
M ₉	2,4	1,5
M ₁₀	1,6	0,5

As características do OTA projetado são:

$$\begin{aligned}
 g_m &= 175 \mu\text{S} \\
 BW_{gm} &= 624 \text{ MHz} \\
 I_0 &= 35 \mu\text{A} \\
 A_v &= 252 \text{ V/V}
 \end{aligned}
 \tag{3.26}$$

As cargas adicionadas à saída do OTA, para melhorar a estabilidade do mesmo são apresentadas na Tabela 3.12. Para indicação das fases que operam o circuito, tomou-se o decimador 3 (Fig. 3.1) como referência.

TABELA 3.12 CARGAS ADICIONADAS À SAÍDA DO OTA DO DECIMADOR 3

Fases	Carga na saída do OTA do decimador 3
DCM ₅	100 fF
DCM ₆	Sem Carga
EXTRA ₃	Sem Carga

Apresenta-se na Tabela 3.13 um resumo de todas as características dos blocos integrantes do banco de filtros. São mostrados o tempo de estabilização e o erro da tensão de saída na fase de interesse. As fases de entrada e saída de cada bloco, bem como as principais características dos OTAs que os integram são mostradas. Para as

fases de entrada e de saída dos decimadores tomaram-se como referência os decimadores 1 e 3. Entre colchetes, a indicação da taxa de operação de cada bloco.

TABELA 3.13 CARACTERÍSTICAS GERAIS DOS BLOCOS QUE INTEGRAM O BANCO DE FILTROS

Blocos	t_{EST} [ns]	ϵ [%]	Fase de Entrada	Fase de Saída	OTAs			
					g_m [μS]	BW_{gm} [MHz]	A_v [V/V]	I_0 [μA]
$H_0(z)$ [f_s]	13,2	0,26	1B	2A	2.050	93	256	400
$H_1(z)$ [f_s]	13,0	0,07	1B	1A	2.050	108	256	400
Decimadores 1 e 2 [f_s]	17,6	0,26	DCM ₁	EXTRA ₁	2.050	615	256	400
$H_0(z)$ [$f_s/2$]	29,5	0,23	1BB	2AA	714	81	256	140
$H_1(z)$ [$f_s/2$]	28,6	0,04	1BB	1AA	714	105	256	140
Decimadores 3, 4, 5 e 6 [$f_s/2$]	11,6	0,3	DCM ₅	EXTRA ₃	175	624	252	35

3.3 Resultados de Simulações

São apresentados a seguir resultados de simulações realizadas no PSPICE com o modelo BSIM3v3. Para cada bloco básico do banco de filtros é mostrado o erro na saída considerando, não só a fase em que a tensão de saída é transferida para o decimador, como também a fase em que não há transferência de carga. A erro na saída de cada ramo do banco de filtros bem como os espectros correspondentes são apresentados. Efetua-se ainda uma comparação destes espectros com outros de um banco de filtros não compensado implementado com componentes ideais (Capítulo 2). A distorção harmônica total (THD) do circuito projetado foi avaliada para o ramo cuja saída é V_0 (Fig. 3.1) e para níveis de tensão próximos ao da excursão de sinal para a qual o circuito foi projetado (4 V pico a pico). Realizaram-se ainda análises com modelos de pior caso para verificação da sensibilidade do circuito às variações do

processo de fabricação. A frequência de amostragem do sinal de entrada (f_s) é 12,5 MHz.

As Tabelas 3.14 e 3.15 apresentam o erro nas saídas dos blocos que operam, respectivamente, em f_s e $f_s/2$. Tomando como exemplo o caso de $H_0(z)$ que opera em f_s , tendo um pulso de tensão como sinal de entrada, é importante observar que uma das amostras geradas pelo circuito é desprezada, visto que a fase de transferência de sua tensão de saída para o decimador 1 ocorre alternadamente em relação a $2A$ (Fig. 3.4). O resultado obtido indica que o erro na tensão de saída de alguns blocos básicos do circuito apresenta diferenças dependendo da fase de interesse em que este é tomado. Dois fatores parecem influenciar este resultado: primeiramente o fato de que os blocos $H_0(z)$ e $H_1(z)$ foram projetados para a fase mais crítica do ponto de vista do tempo de estabilização e, nos instantes em que não há transferência da tensão de saída destes blocos para os decimadores, não existe a carga que foi considerada para o projeto de $H_0(z)$ e $H_1(z)$ (Fig. 3.5). Em segundo lugar encontraram-se erros diferentes para excursões positivas e negativas do sinal de saída. No caso de $H_1(z)$, que sintetiza a função de transferência $1 - z^{-1}$, isto é mais evidente pois o circuito responde com pulsos de sinal contrário.

TABELA 3.14 ERRO NA TENSÃO DE SAÍDA – BLOCOS QUE OPERAM EM F_s

Bloco Básico	Erro na fase onde há transf. de carga [%]	Erro na fase onde NÃO há transf. de carga [%]
$H_0(z)$	0,26	0,26
$H_1(z)$	0,07	1,15

TABELA 3.15 ERRO NA TENSÃO DE SAÍDA – BLOCOS QUE OPERAM EM $F_s/2$

Bloco Básico	Erro na fase onde há transf. de carga [%]	Erro na fase onde NÃO há transf. de carga [%]
$H_0(z)$	0,32	0,1
$H_1(z)$	0,04	1,18

Para cada uma das saídas do banco de filtros obtiveram-se os erros apresentados na Tabela 3.16. Conforme se pode observar, em alguns casos, o erro superou consideravelmente o desejado. Isto se deve, como observado anteriormente, aos diferentes erros que são encontrados com excursões positiva ou negativa do sinal de saída dos blocos básicos. Entretanto os espectros dos sinais de saída do banco de filtros vão apresentar um resultado interessante (Fig. 3.16): o erro obtido na resposta no tempo dos blocos básicos não degrada significativamente os espectros correspondentes.

TABELA 3.16 ERRO NAS SAÍDAS DO BANCO DE FILTROS PROJETADO

Saídas do Banco de Filtros	ϵ [%]
V_0	0,2
V_1	1,3
V_2	0,3
V_3	2,2

Os espectros obtidos nas saídas do banco de filtros projetado são apresentados na Fig. 3.16. Foi utilizado um pulso de tensão como sinal de entrada, com amplitude de 2 V e duração equivalente à das fases 1B, 2B, 1A e 2A. Apresenta-se também o resultado para um banco de filtros não compensado, implementado com componentes ideais e com as estruturas não compensadas apresentadas no Capítulo 2. Todos os gráficos estão normalizados com relação à frequência e amplitude. Nas quatro curvas obtidas para o circuito compensado são destacados os pontos de medida ($\cdot \times \cdot$).

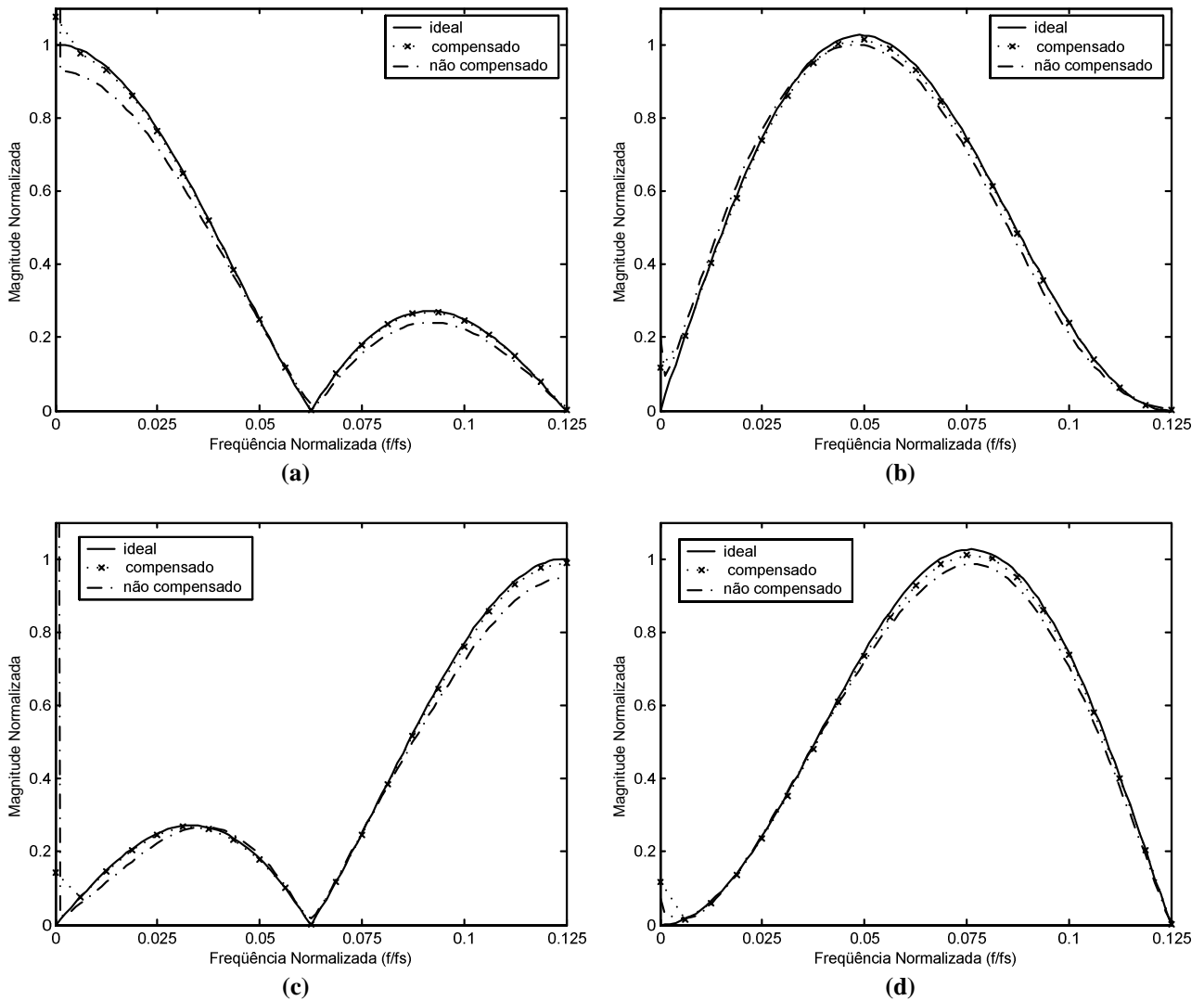


Figura 3.16: espectros obtidos nas saídas V_0 (a), V_1 (b), V_2 (c) e V_3 (d) do banco de filtros projetado ($\cdot \cdot \cdot$) circuito compensado, ($- - -$) circuito não compensado e ($—$) caso ideal.

Para as saídas V_0 e V_2 , o resultado obtido confirma em grande parte as simulações efetuadas no Capítulo 2 (Figs. 2.16 e 2.17) e se observa boa proximidade dos espectros do circuito compensado com o caso ideal ($A_0 \rightarrow \infty$). Ainda, o desempenho para sinais DC ($\omega = 0$ rad/s) das estruturas não compensadas, mostrou ser seu ponto mais crítico. Na Fig. 3.17 este fato é esclarecido: o erro observado para frequências próximas a $\omega = 0$ no espectro da saída V_0 do banco de filtros não compensado é proibitivo. No caso do circuito compensado o erro é praticamente inexistente.

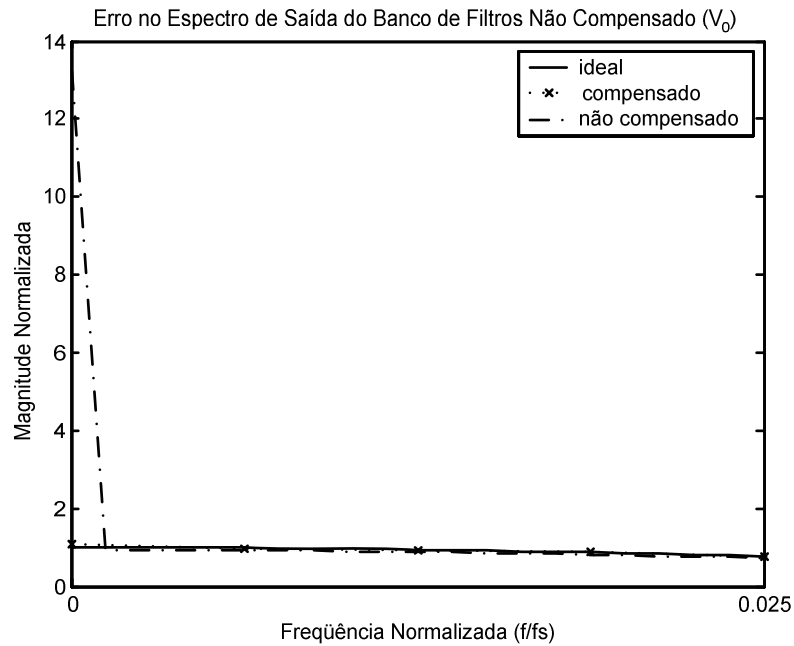


Figura 3.17: erro no espectro de saída do banco de filtros não compensado (V_0).

Nas saídas V_1 e V_3 ainda é possível constatar um melhor desempenho do circuito compensado em relação ao circuito não compensado, mas é notável a maior proximidade das curvas em questão. Não se nota, em frequências próximas a $\omega = 0$, erro no espectro do circuito não compensado, comparável ao encontrado para as saídas V_0 e V_2 . Estas duas observações talvez possam ser explicadas tendo em vista a Eq. 2.14 que demonstra que a estrutura não compensada que sintetiza $H_1(z)$ cancela o *offset* do OTA em 1,5 período de relógio.

A distorção harmônica total (THD) foi calculada na saída V_0 , para um sinal senoidal de 156,25 kHz na entrada do banco de filtros. Com esta frequência de sinal foi possível avaliar a THD usando até seu 4º harmônico. A excursão de sinal na saída foi variada a partir de seu valor máximo especificado (4 Vpp) para obtenção dos resultados apresentados (Tabela 3.17 e Fig. 3.18).

TABELA 3.17 THD PARA A SAÍDA V_0

Amplitude [Vpp]	THD [%]
3,96	0,07
4,15	0,11
4,32	0,30
4,46	0,70
4,57	1,32
4,64	2,10

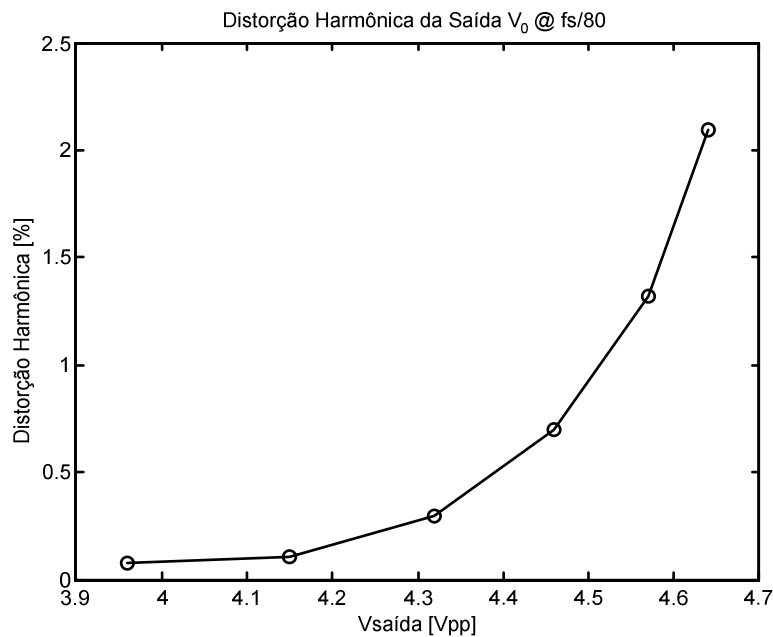


Figura 3.18: THD para a saída V_0 .

Pelos resultados apresentados trata-se de um ramo do banco de filtros que apresenta THD reduzida. Para os 4 Vpp de excursão máxima de sinal especificados a distorção se manteve em 0,07 % o que permite dizer que o circuito pode ter excursão de sinal maior do que o especificado: aproximadamente 4,5 Vpp, pela interpolação dos pontos da Fig. 3.18 e considerando o limite de 1% para a THD.

Efetuuou-se ainda análise de pior caso, variando o modelo dos transistores que compõem o circuito. Devido às variações do processo de fabricação, os transistores podem se tornar mais lentos ou mais rápidos quando implementados. Para estimar o comportamento do circuito sob tais condições simula-se o circuito fazendo uso desses modelos que prevêm as variações do processo. Como se trata de um circuito que visa à

implementação na tecnologia CMOS, os dois tipos de transistores MOS estão presentes em sua estrutura (nMOS e pMOS) e cada um deles pode apresentar variações do processo de fabricação de forma a se tornar mais lento ou mais rápido. Sendo assim, são quatro os modelos de pior caso para os transistores do processo visado (Tabela 3.18).

TABELA 3.18 MODELOS DE PIOR CASO PARA OS TRANSISTORES DO PROCESSO TSMC 0,35 μm

Modelo	Transistor	
	NMOS	PMOS
SS	Lento	Lento
SF	Lento	Rápido
FS	Rápido	Lento
FF	Rápido	Rápido

O resultado da análise de pior caso, para as saídas do banco de filtros, é apresentado na Fig. 3.19. Os pontos de medida apresentam-se em destaque.

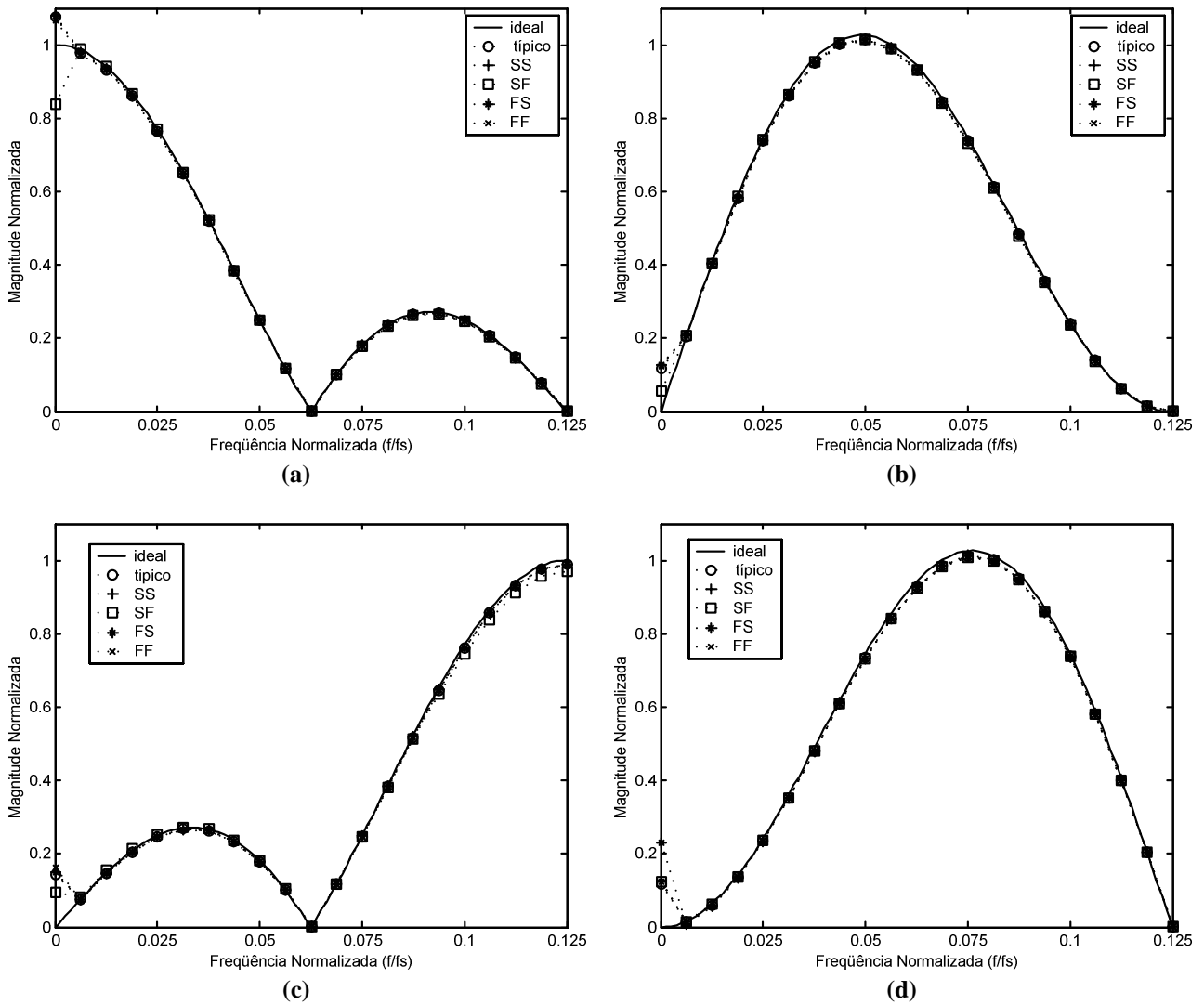


Figura 3.19: análise de pior caso para as saídas V_0 (a), V_1 (b), V_2 (c) e V_3 (d) do banco de filtros projetado.

Identificam-se pequenas variações dos espectros resultantes em frequências próximas a $\omega = 0$. O resultado indica considerável insensibilidade às variações do processo de fabricação, apontando para uma possível implementação.

Capítulo 4

Conclusões

Foi apresentado neste trabalho o projeto dos filtros de análise para um banco de filtros de Hadamard de ordem 4. Os filtros foram realizados com funções de transferência simples (Eqs. 2.1 e 2.2) utilizando circuitos a capacitor chaveado com um esquema de compensação de não idealidades dos OTAs – ganho DC finito e *offset*. Para estender a faixa de frequências em que o circuito é capaz de operar, foram utilizados OTAs estruturalmente mais simples e que apresentam ganho DC baixo.

A dedução das funções de transferência dos blocos básicos do circuito considerando as não idealidades dos OTAs, bem como o resultado das simulações, obtidos no Capítulo 2, confirmam a validade do esquema de compensação.

Para projetar o circuito (Capítulo 3) foi necessário desenvolver um modelo do mesmo na situação mais crítica do ponto de vista do tempo de estabilização. Solucionando um sistema de equações nodais, que representa o funcionamento do circuito numa fase de interesse, foi possível estabelecer características dos OTAs, de forma a atender a especificação do tempo de estabilização. Foi utilizado ainda um método de minimização do tempo de estabilização através do projeto adequado da margem de fase dos OTAs. Esta metodologia se mostrou muito útil, pois permitiu

reduzir consideravelmente o consumo do bloco $H_0(z)$ que opera em $f_s/2$, comparando com $H_0(z)$ que opera na mesma taxa, e onde não foi feita a otimização da margem de fase.

Os resultados das simulações revelaram aspectos muito interessantes do circuito. Os espectros obtidos para o banco de filtros projetado confirmam os resultados teóricos, apesar do erro sobre o pulso de saída do circuito ter superado a expectativa; em alguns casos ele pareceu até proibitivo (Tabela 3.16). No entanto, isto não afetou significativamente o erro nos espectros de saída, parecendo revelar que o erro do sinal no tempo não tem uma relação direta com o erro do sinal na frequência. A comparação com o banco de filtros não compensado confirma a validade do esquema de compensação. Para o ramo em que foi analisada, a distorção harmônica apresentou resultado interessante. Foi possível constatar que o circuito pode apresentar excursão de sinal na saída ainda maior do que os 4 V pico a pico inicialmente especificados: com excursão de 4,5 Vpp obtém-se THD em torno de 1%. A análise de pior caso indica que o banco de filtros apresenta baixa sensibilidade às variações do processo de fabricação, apontando para uma possível implementação. Apresenta-se a seguir um resumo das principais características do banco de filtros (Tabela 4.1).

TABELA 4.1 PRINCIPAIS CARACTERÍSTICAS DO BANCO DE FILTROS PROJETADO

Tecnologia	0,35 μ m CMOS
Alimentação	5 V
Consumo Estimado	18,3 mW
THD 1%	4,5 Vpp
Taxa de Amostragem Máxima	13 Msamples/s

Os pontos ainda em aberto e que merecem especial atenção quando da continuidade deste trabalho são destacados a seguir. Deve ser melhor estabelecida a relação entre o erros obtidos na resposta no tempo e no espectro de saída. Isto pode vir a facilitar o projeto caso se conclua não haver necessidade do circuito ter resposta tão

precisa no tempo. O projeto deste circuito tornou-se razoavelmente difícil em função de se estabelecer uma meta para o erro no tempo (0,1 %) que se mostrou impossível de ser atingida a menos que houvesse grande sacrifício da velocidade do sistema.

Conforme foi apresentado nas Tabelas 3.14 e 3.15, o erro nas saídas dos blocos básicos $H_0(z)$ e $H_1(z)$, quando tomados em fases de interesse consecutivas, apresentaram diferenças. Os possíveis fatores para este resultado, conforme mencionado no Capítulo 3, são as diferentes cargas às quais os blocos estão sujeitos em cada uma dessas fases e as excursões positivas e negativas do sinal.

No projeto do bloco $H_1(z)$ estabeleceu-se empiricamente que C_a deveria ser a metade da capacitância unitária, para que o circuito atendesse aos requisitos de precisão e velocidade especificados. Para se ganhar mais domínio sobre os diversos fatores que influenciam na resposta dos circuitos é necessário aprimorar a modelagem dos blocos básicos.

É preciso avaliar ainda como fica a distorção harmônica para os outros ramos do banco de filtros.

O estudo de outras estruturas e esquemas de compensação, bem como dos circuitos geradores de *clock* é importante para se definir a implementação final do circuito. De fato, seria desejável aumentar a taxa de amostragem do sistema e isto talvez seja possível com outras estruturas de compensação para realizar as funções de transferência $H_0(z)$ e $H_1(z)$.

Apêndice A

Influência das Capacitâncias de *Gate* na Resposta do Meio Atrasador e Dedução da Equação 2.28

Analisa-se neste apêndice a influência da capacitância de *gate* (C_p) presente nas entradas do OTA sobre a resposta do circuito meio atrasador. Esta análise é incluída para documentar o trabalho realizado, mas é preciso ressaltar que em muitas situações é mais prático observar estes efeitos em simulação. É incluída também a dedução da Eq. (2.28) que permite calcular a tensão de erro na entrada inversora de um OTA quando são considerados simultaneamente os efeitos de ganho DC finito e *offset*.

A.1 Influência da Capacitância de Gate (C_p) na Resposta do Meio-Atrasador

A dedução da função de transferência do meio atrasador quando considerando o efeito de C_p , é efetuada para um OTA com ganho DC finito, o efeito do *offset* não é considerado. As cargas nos capacitores C_1 , C_2 , C_3 e C_a se mantêm as mesmas conforme obtido nas Eqs. (2.16) – (2.19) e adicionalmente, considera-se a presença de C_p nas equações de conservação de carga, em cada fase:

Fase 1A

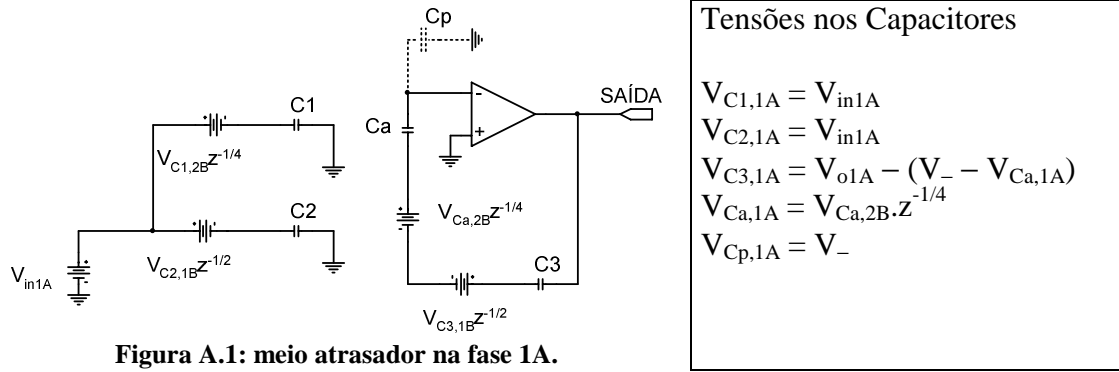


Figura A.1: meio atrasador na fase 1A.

A equação de conservação de carga da fase 1A:

$$-\frac{C_3 C_a}{C_3 + C_a} (V_{o1A} - (V_- - V_{Ca,2B} z^{-1/4} + V_{C3,1B} z^{-1/2})) + C_p (V_- - V_{Cp,2B} z^{-1/4}) = 0 \quad (A.1)$$

Depois de alguma manipulação:

$$-\frac{C_3 C_a}{C_3 + C_a} (V_{o1A} - (-(\gamma - 1)V_{o1A} + (\gamma - 1)V_{o2B} z^{-1/4} + V_{in1B} z^{-1/2})) + C_p (-(\gamma - 1)V_{o1A} + (\gamma - 1)V_{o2B} z^{-1/4}) = 0 \quad (A.2)$$

Fase 2A

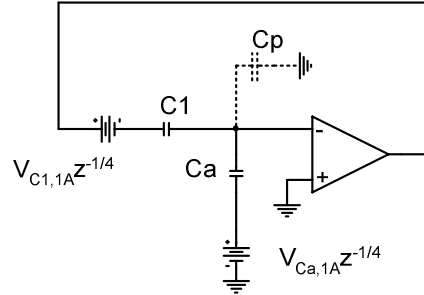


Figura A.2: meio atrasador na fase 2A.

Tensões nos Capacitores

$$\begin{aligned} V_{C1,2A} &= V_{o2A} - V_- \\ V_{Ca,2A} &= V_- \\ V_{Cp,2A} &= V_- \end{aligned}$$

$$\begin{aligned} & -C_1(\gamma V_{o2A} - V_{in1A} z^{-1/4}) + \\ & + C_a(-(\gamma-1)V_{o2A} + (\gamma-1)V_{o2B} z^{-1/2}) + \\ & + C_p(-(\gamma-1)V_{o2A} + (\gamma-1)V_{o1A} z^{-1/4}) = 0 \end{aligned} \quad (A.3)$$

Fase 1B

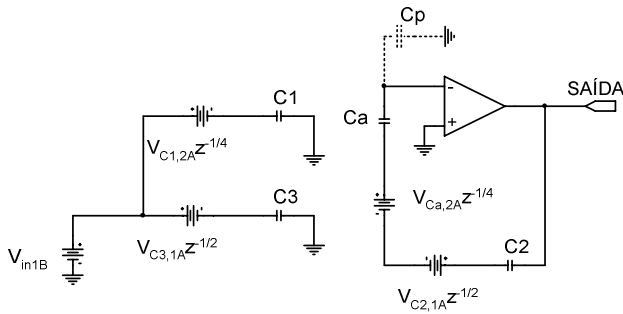


Figura A.3: meio atrasador na fase 1B

Tensões nos Capacitores

$$\begin{aligned} V_{C1,1B} &= V_{in1B} \\ V_{C2,1B} &= V_{o1B} - (V_- - V_{Ca,1B}) \\ V_{C3,1B} &= V_{in1B} \\ V_{Ca,1B} &= V_{Ca,2A} \cdot z^{-1/4} \\ V_{Cp,1B} &= V_- \end{aligned}$$

$$\begin{aligned} & -\frac{C_2 C_a}{C_2 + C_a} (V_{o1B} - (-(\gamma-1)V_{o1B} + (\gamma-1)V_{o2A} z^{-1/4} + V_{in1A} z^{-1/2})) + \\ & + C_p(-(\gamma-1)V_{o1B} + (\gamma-1)V_{o2A} z^{-1/4}) = 0 \end{aligned} \quad (A.4)$$

Fase 2B

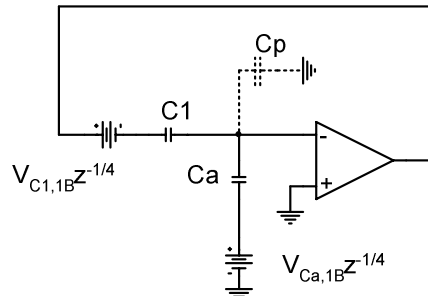


Figura A.4: meio atrasador na fase 2B.

Tensões nos Capacitores

$$\begin{aligned} V_{C1,2B} &= V_{o2B} - V_- \\ V_{Ca,2B} &= V_- \\ V_{Cp,2B} &= V_- \end{aligned}$$

$$\begin{aligned}
& -C_1(\gamma W_{o2B} - V_{in1B} z^{-1/4}) + \\
& + C_a (-(\gamma-1)V_{o2B} + (\gamma-1)V_{o2A} z^{-1/2}) + \\
& + C_p (-(\gamma-1)V_{o2B} + (\gamma-1)V_{o1B} z^{-1/4}) = 0
\end{aligned} \tag{A.5}$$

Resolvendo o sistema com as equações (A.2), (A.3), (A.4) e (A.5) determina-se

a função de transferência $\frac{V_{o1B}}{V_{in1A}}$ que fica da forma:

$$\frac{V_{o1B}}{V_{in1A}} = \frac{Az^{-1/2} + Bz^{1/2}}{E + Dz} \cong \frac{B}{D} z^{-1/2} + \frac{AD - BE}{D^2} z^{-3/2} \tag{A.6}$$

Os coeficientes A, B, D e E são expressos em função de C_p e γ (já considerando $C_1 = C_2 = C_3 = C_a = C_x$) e possuem tal complexidade que não parece razoável apresentá-los. Mais válido é observar o que acontece com a função de transferência para determinados valores de C_p e γ . Assim sendo, para $C_p = C_x$ e $\gamma = 201/200$ ($A_0 = 200$) tem-se:

$$\frac{V_{o1B}}{V_{in1A}} \cong 0,99978z^{-1/2} + 0,145 \cdot 10^{-3} z^{-3/2} \tag{A.7}$$

O erro cometido sobre a amostra de interesse neste caso é de 0,02%, e com isto seria possível aumentar a proporção de C_p . No entanto, efetuando simulações em que todas as não idealidades do OTA foram levadas em conta (ganho DC finito, *offset* e capacitância parasita) observou-se que para o caso em que $A_0 = 200$, $C_p = C_x$ e $V_{off} = 100$ mV, o erro causado sobre a amostra de saída, tanto para $\frac{V_{o1B}}{V_{in1A}}$ como para $\frac{V_{o1A}}{V_{in1B}}$, é de 0,1%. Valores menores de C_p resultam em erros menores.

A conclusão quanto à relação entre as capacitâncias unitárias do circuito e as capacitâncias parasitas dos OTAs foi obtida no final da Seção 2.1. Determinou-se através de simulações que as capacitâncias unitárias do circuito devem ser pelo menos 10 vezes maiores que C_p para que se tenha um erro na saída dos blocos básicos da ordem de 0,1 %.

A.2 Dedução da Equação 2.28

Quando são considerados simultaneamente os efeitos de ganho DC finito e *offset* dos OTAs, a tensão de erro na entrada inversora não pode mais ser representada pela Eq. (2.4). Para se determinar a nova expressão toma-se o circuito da Fig. A.5, onde o OTA apresenta ganho DC finito (A_0) e o *offset* é representado pela fonte DC V_{off} .

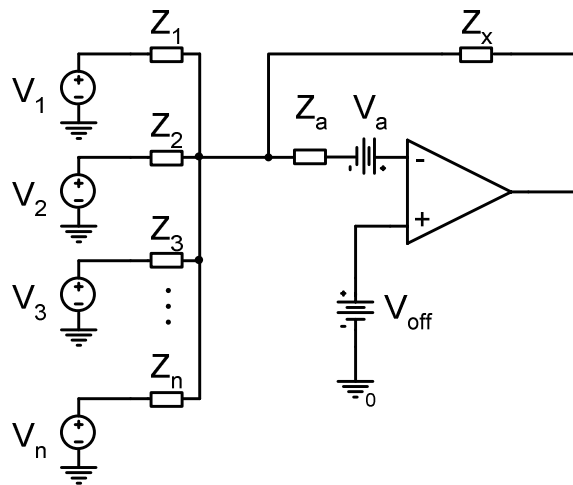


Figura A.5: circuito usado para dedução da Eq. 2.28.

O circuito foi escolhido desta forma por representar com boa proximidade as estruturas correspondentes para os blocos básicos nas suas fases de funcionamento. Z_a representa o capacitor auxiliar (C_a) presente em todas as estruturas e V_a a sua tensão armazenada. As impedâncias Z_i ($i = 1, 2, 3, \dots, n$) representam as outras capacitâncias dos circuitos.

Aplicando o princípio da superposição tem-se:

$$\rightarrow V_1 = V_2 = \dots = V_n = V_a = 0; V_{off} \neq 0$$

$$V_0 = A_0(V_+ - V_-)$$

$$\Rightarrow V_- = V_{off} - \frac{V_0}{A_0}$$

e ainda,

$$\frac{V_0 - V_-}{Z_x} = \frac{V_-}{Z_1 // Z_2 // \dots // Z_n}$$

e então,

$$V_0 = V_- \left(1 + \frac{Z_x}{Z_1 // Z_2 // \dots // Z_n} \right)$$

Fazendo as devidas substituições obtém-se a parcela de V_- devida ao efeito de *offset*

$$V_- = \frac{A_0}{1 + A_0 + \frac{Z_x}{Z_1 // Z_2 // \dots // Z_n}} V_{off} \quad (\text{A.8})$$

$$\rightarrow V_{off} = V_2 = V_3 = \dots = V_n = V_a = 0; V_1 \neq 0$$

Neste caso tem-se,

$$V_- = -\frac{V_0}{A_0}$$

e ainda,

$$\frac{V_1 - V_-}{Z_1} = \frac{V_-}{Z_2 // Z_3 // \dots // Z_n} + \frac{V_- - V_0}{Z_x}$$

Depois de efetuadas as manipulações determina-se V_-

$$V_- = \frac{[Z_1 // Z_2 // \dots // Z_n // Z_x / (A_0 + 1)]}{Z_1} V_1 \quad (\text{A.9})$$

Para as outras entradas do circuito, o procedimento seria o mesmo que foi adotado para

V_1 .

$$\rightarrow V_{off} = V_1 = V_2 = V_3 = \dots = V_n = 0; V_a \neq 0$$

De forma semelhante às deduções feitas anteriormente obtém-se,

$$V_- = \frac{1 + \frac{Z_x}{Z_1 // Z_2 // \dots // Z_n}}{1 + A_0 + \frac{Z_x}{Z_1 // Z_2 // \dots // Z_n}} V_a \quad (\text{A.10})$$

E o resultado final é obtido:

$$\begin{aligned} V_- = & \frac{A_0}{1 + A_0 + \frac{Z_x}{Z_1 // Z_2 // \dots // Z_n}} V_{off} + \\ & + \sum_{i=1}^n \frac{[Z_1 // Z_2 // \dots // Z_n // Z_x / (A_0 + 1)]}{Z_i} V_i + \\ & + \frac{1 + \frac{Z_x}{Z_1 // Z_2 // \dots // Z_n}}{1 + A_0 + \frac{Z_x}{Z_1 // Z_2 // \dots // Z_n}} V_a \end{aligned} \quad (\text{A.11})$$

Esta expressão foi utilizada nas equações de conservação de carga para dedução das funções de transferência dos blocos básicos do banco de filtros – meio-atrasador, $H_0(z)$ e $H_1(z)$.

Referências

- [1] FRANCA, J., PETRAGLIA, A., MITRA, S. K., “Multirate Analog-Digital Systems for Signal Processing and Conversion”, *Proceedings of the IEEE*, v. 85, n. 2, pp. 242-262, Feb. 1997.

- [2] LÖWENBORG, P., JOHANSSON, H., WANHAMMAR, L. “A Class of Two-Channel Approximately Perfect Reconstruction Hybrid Analog/Digital Filter Banks”. In: *Proceedings of the IEEE International Symposium on Circuits and Systems*, pp. 579 – 582, Geneva, Switzerland, May 2000.

- [3] VAIDYANATHAN, P. P., “Multirate Digital Filters, Filter Banks, Polyphase Networks, and Applications: A Tutorial”, *Proceedings of the IEEE*, v. 78, n. 1, pp. 56 – 93, Jan. 1990.

- [4] VELAZQUEZ, S. R., NGUYEN, T. Q., BROADSTONE, S. R., “Design of Hybrid Filter Banks for Analog/Digital Conversion”, *IEEE Transactions on Signal Processing*, v. 46, n. 4, pp. 956 – 967, April 1998.

- [5] LOONEY, M., “Advanced Digital Post-Processing Techniques Enhance Performance in Time-Interleaved ADC Systems”, *Analog Dialogue*, v. 37, n. 8, pp. 1 – 5, Aug. 2003.

- [6] PETRAGLIA, A., *Mixed analog/digital structures for high-speed A/D conversion and signal processing*. Ph. D. dissertation, University of California at Santa Barbara, Santa Barbara, USA, March 1991.
- [7] MALOBERTI, F., MITRA, S. K., PETRAGLIA, A. “High-Frequency Implementation of Simple SC Transfer Functions”. In: *Proceedings of the IEEE Int. Symp. on Circuits and Systems*, pp. 1669 – 1672, Singapura, Jun. 1991.
- [8] DRYGAJLO, A. “Butterfly Filter Banks”. In: *Proceedings of the European Conference on Circuit Theory and Design*, pp. 594 – 598, Brighton, UK, Sep. 1989.
- [9] VETTERLI, M., “Tree Structures for Orthogonal Transforms and Application to the Hadamard Transform”, *Signal Processing*, v. 5, pp. 473 – 484, 1983.
- [10] AKPA, M., STEENAART, W. “N-parallel filter bank equivalent to tree structure”. In: *Proceedings of the Canadian Conference on Electrical and Computer Engineering*, pp. 25 – 28, Canada, September 1994.
- [11] BRANDÃO, P. C. R., PETRAGLIA, A. “A Switched-Capacitor Hadamard Filter Bank in 0.35 μ m CMOS”. In: *48th IEEE Intl Midwest Symposium on Circuits & Systems*, Cincinnati, Ohio, Aug. 2005 – Aceito para apresentação.

- [12] NAGARAJ, K. SINGHAL, K. VISWANATHAN, T. R., VLACH, J., “Reduction of Finite-Gain Effect in Switched-Capacitor Filters”, *Electronic Letters*, v. 20, pp. 663 – 664, Aug. 1984.
- [13] DE QUEIROZ, A. C. M., *Circuitos Integrados Analógicos*, Apr – Jun. 2002, Notas de aula.
- [14] PEREIRA, J. S., BARÚQUI, F. A. P., PETRAGLIA, A. “Analog Decimator IC in Direct-Form Polyphase Structure”. In: *15th Symposium on Integrated Circuits and Systems Design*, pp. 74 – 79, Porto Alegre, Brasil, 2002.
- [15] RAZAVI, B., *Design of Analog CMOS Integrated Circuits*. 1 ed. Boston, McGraw-Hill, 2000.
- [16] BARÚQUI, F. A. P., PETRAGLIA, A., FRANCA, J. E., “A 48 MHz-to-16 MHz CMOS SC Decimation Filter”, *IEEE Journal of Solid-State Circuits*, v. 37, n. 10, pp. 1 – 8, Oct. 2002.
- [17] GUPTA, S. C., HASDORFF, L., *Fundamentals of Automatic Control*. 1 ed. New York, John Wiley and Sons, 1970.
- [18] YANG, H. C., ALLSTOT, D. J., “Considerations for Fast Settling Operational Amplifiers”, *IEEE Transactions on Circuits and Systems*, v. 37, n. 3, pp. 326 – 334, March 1990.

- [19] BAKER, J., LI, H. W., BOYCE, D. E., *CMOS Circuit Design, Layout and Simulation*. 1 ed. New York, IEEE Press, 1998.